

# Modellierung des thermischen Ausfallverhaltens von IC-Eingängen zur Bewertung der System-ESD-Festigkeit

Bastian Arndt<sup>1</sup>, Friedrich zur Nieden<sup>2</sup>, Oleksandr Iglitsyn<sup>2,1</sup>, Stephan Frei<sup>2</sup>

(1) AVL-Trimerics, Im Gewerbepark B27, 93043 Regensburg

(2) Technische Universität Dortmund, Friedrich-Wöhler-Weg 4, 44227 Dortmund

---

**Zusammenfassung** –Steigende Qualitätsansprüche im Kfz lassen die Anforderungen an die ESD-Festigkeit auf Systemebene zunehmen. Für eine kostenoptimierte Lösung wird meist die Schutzwirkung zwischen externen ESD-Schutzelementen und IC internen Schutzstrukturen aufgeteilt. Die Auswahl des optimalen externen Schutzelements ist in der Regel nur durch teure und zeitaufwendige Testreihen und Iterationen möglich. Durch Simulationen kann die Auswahl und Bewertung eines ESD-Schutzkonzepts im Vorfeld erfolgen. In diesem Beitrag wird ein Verfahren zur Modellierung der thermischen ESD-Festigkeit von IC-Eingängen beschrieben. Diese erlaubt es, den kombinierten Einfluss von externen ESD-Schutzelementen, Platinenstrukturen und IC-internen Schutzkonzepten auf die ESD-Festigkeit eines Systems zu beurteilen und die zu erwartende Ausfallspannung durch Simulation zu ermitteln.

**Abstract** –Automotive quality standards are a challenge for ESD protection concepts and robustness. Cost optimized solutions are divided in external protection elements and IC internal protection strategies. A prediction of ESD stress and destruction level on system level is difficult and numerous iteration loops in the development process are necessary to fulfill requirements of automotive customers. A simulation based prediction of system level ESD robustness can help to find optimized solutions in advance. Therefore a concept for modeling of energy based failure is presented in this contribution.

---

## 1 Einleitung

Steigende Anforderungen an die ESD-Festigkeit und zunehmende Miniaturisierung führen zu Schwierigkeiten bei der Entwicklung von leistungsfähigen ESD Schutzkonzepten auf IC- und Systemebene. Bisher wird die ESD-Festigkeit in der Regel mittels zeitaufwendiger und teurer Testreihen ermittelt. Wird ein Schutzziel nicht erreicht, können die notwendigen Schutzmaßnahmen oft nur durch aufwendige Versuchsreihen ausgewählt werden.

Die ESD-Festigkeit und die damit verbundene Ausfallschwelle könnten im Vorfeld durch Simulation ermittelt werden. Hierzu sind geeignete Modelle für die Pulsquellen, die Übertragungsstrecken, die ICs und andere relevante Platinenkomponenten notwendig.

Das Betriebsverhalten typischer externer ESD-Schutzelemente kann bereits hinreichend genau modelliert werden [1]. Auch für Pulsquellen und Platinenstrukturen gibt es genaue Modelle [2]. Das elektrische Verhalten von IC-Eingangsstrukturen wird von der verwendeten Technologie und deren Implementierung im Halbleiter be-

stimmt. Dieses Verhalten ist durch Nichtlinearität gekennzeichnet und kann in einem Simulationssmodel durch mehrere geeignete Strom-Spannungskennlinien abgebildet werden [3].

Die möglichen Ausfallmechanismen in Halbleiterstrukturen sind vielfältig. Abhängig vom Schaltungsaufbau, dem jeweiligen Fertigungsprozess und der bauteilspezifischen Implementierung der Schutzstruktur lässt sich eine große Anzahl von Ausfallmechanismen nennen. Häufig kann ein Ausfall auf thermischen Stress zurückgeführt werden. Die erhöhte Verlustleistung führt zu lokalen Temperaturerhöhungen im Halbleiter. Dies kann thermische Ausfälle zur Folge haben. Weiterhin häufen sich unter anderem ab einer bauteilspezifischen Temperatur Latch-up-Effekte, welche auch zur Zerstörung des Bauteils führen können [5].

Ein Bewertungskriterium für die thermische Belastbarkeit kann die Ausfallenergie eines Systems bei Pulsbelastung sein. Ein thermisches Ausfallkriterium kann auf eine Vielzahl von Fehlermechanismen, Fertigungsprozesse und bauteilspezifische Implementierungen im Halbleiter angewendet werden.

## 2 Modellierung des thermischen Ausfallverhaltens mithilfe einer RC-Ersatzschaltung

Energiebasierte Ausfallmodelle können bei der Bewertung der ESD-Festigkeit in Systemen helfen [6]. Thermische RC-Netzwerke können verwendet werden, um die Belastung unter ESD mit geringem Rechenaufwand abzuschätzen [7]. Aufwendigere Modellierungsansätze mit verteilten thermischen 3D-Modellen [8] können den Temperaturverlauf unter Pulsbelastung noch genauer wiedergeben, jedoch sind hierfür meist Detailkenntnisse über den inneren Aufbau eines IC notwendig. Der dafür notwendige Modellierungsaufwand und die notwendigen Rechenleistungen sind nicht unerheblich. Zudem ist eine Einbindung der Modelle in Systemsimulationen schwierig. Hinzu kommt, dass diese Modelle von den Herstellern meist vertraulich gehandhabt werden und für die meisten Anwender nicht zur Verfügung stehen. Für eine praxisgerechte Anwendung werden IC-Ausfallmodelle benötigt, die sich durch eine unproblematische Implementierung auszeichnen.

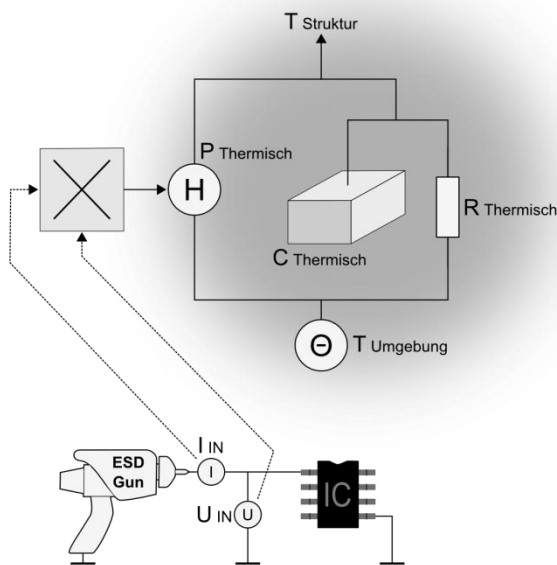


Abbildung 1: Thermische RC-Ersatzschaltung für IC-Eingangsstrukturen

Bei kurzzeitiger transienter Pulsbelastung kann für konventionelle Siliziumtechnologien eine näherungsweise adiabate Änderung der Siliziumtemperatur angenommen werden, die von der eingepprägten Pulsleistung abhängig ist. Dieses Verhalten kann mit einer thermischen Kapazität modelliert werden, welche proportional zu dem belasteten Siliziumvolumen ist [9]. Für länger andauernde oder repetierende Pulse ist diese Ver-

einfachung nicht mehr gültig. Die Wärme-abfuhr an die Umgebung muss in diesem Fall im Modell berücksichtigt werden [10]. Abbildung 1 zeigt eine Modellierung für dieses thermische Verhalten. Die an der IC-Eingangsstruktur abfallende Leistung hat einen Wärmeeintrag  $P_{\text{Thermisch}}$  zur Folge. Dieser berechnet sich unter der Annahme, dass die gesamte elektrische Energie in Wärme umgesetzt wird, aus dem Produkt des in den IC-Eingang fließenden Stromes  $I_{\text{IN}}$  und der an der Struktur anliegenden Spannung  $U_{\text{IN}}$ . Die erzeugte Wärmemenge wird zum Teil von der thermischen Kapazität  $C_{\text{Thermisch}}$  aufgenommen und sorgt hier für eine Temperaturerhöhung. Die eingebrachte Wärme wird zudem teilweise über den thermischen Widerstand  $R_{\text{Thermisch}}$  an die Umgebung abgeleitet. Die so ermittelte Strukturtemperatur  $T_{\text{Struktur}}$  wird in dem Modell als thermisches Ausfallkriterium herangezogen. Überschreitet  $T_{\text{Struktur}}$  einen bauteil-spezifischen Wert, dann wird angenommen, dass es zu thermischen Schädigungen innerhalb der belasteten IC Eingangsstruktur gekommen ist. Die Überschreitung der Ausfalltemperatur beschreibt eine thermische Überlastung und kann für die Bestimmung möglicher Schädigungen durch beliebige Pulsformen herangezogen werden.

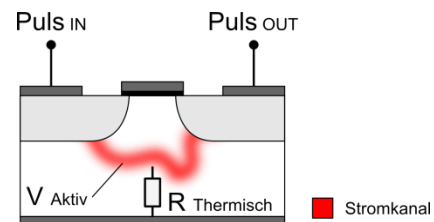


Abbildung 2: Thermisch aktiver Strompfad

Ist die Geometrie der durch einen Puls beaufschlagten Strukturen bekannt, so kann die thermische Kapazität  $C_{\text{Thermisch}}$  analytisch bestimmt werden. Der sich bildende Stromkanal (Abbildung 2) durchfließt ein abgegrenztes Volumen  $V_{\text{Aktiv}}$  der Halbleiterstruktur. Die thermische Kapazität  $C_{\text{Thermisch}}$  ergibt sich für sehr kurze Belastungen aus dem Volumen  $V_{\text{Aktiv}}$  des Stromkanals, der spezifischen Wärmekapazität  $c_{\text{Halbleiter}}$  und der Dichte  $\rho_{\text{Halbleiter}}$  der Struktur:

$$C_{\text{Thermisch}} = c_{\text{Halbleiter}} \cdot \rho_{\text{Halbleiter}} \cdot V_{\text{Aktiv}} \quad (1)$$

In der Praxis kann das beaufschlagte Volumen nicht ohne weiteres ermittelt werden, da der genaue Aufbau meist nicht bekannt ist. Weiterhin kann es aufgrund von Hochstromeffekten im Halbleiter zu einer Reduzierung des beaufschlagten Volumens kommen. So kann es unter anderem wegen Einschnürungseffekten zu Strom-

filamenten kommen, welche  $V_{\text{Aktiv}}$  stark beeinflussen [11].

In diesem Beitrag wird eine Methode beschrieben, die auf Messungen beruht, mit der eine Ermittlung der thermischen Kapazität  $C_{\text{Thermisch}}$  ohne genaue Kenntnis des aktiven Strompfades und die damit verbundene Abhängigkeit von  $V_{\text{Aktiv}}$  möglich ist. Hierzu muss die zulässige Halbleitertemperatur  $T_{\text{Struktur MAX}}$  und der thermische Widerstand  $R_{\text{Thermisch}}$  bekannt sein. Messungen mit Transmission Line Pulsing (TLP) zur Bestimmung der Zerstörungsenergie eines Bauteils können verwendet werden, um  $C_{\text{Thermisch TLP}}$  zu bestimmen. Die notwendige zerstörende Energiemenge kann aus diesen Messungen ermittelt werden [12]. Da die Leistungsabgabe  $P_{\text{Thermisch}}$  bei einer TLP Entladung in erster Näherung als konstant angenommen werden kann, kann die Erwärmung des Siliziumvolumens mit dem Schaltvorgang einer Stromquelle in ein RC-Glied verglichen werden.  $C_{\text{Thermisch TLP}}$  kann somit aus der Differentialgleichung für das Ersatzschaltbild (Abbildung 1) bestimmt werden, wenn die Umgebungstemperatur  $T_{\text{Umgebung}}$  vernachlässigt wird:

$$P_{\text{Thermisch}} = C_{\text{Thermisch TLP}} \cdot \frac{dT_{C(t)}}{dt} + \frac{T_{C(t)}}{R_{\text{Thermisch}}} \quad (2)$$

Durch die Lösung der Differentialgleichung ergibt sich  $C_{\text{Thermisch TLP}}(t)$  zu:

$$C_{\text{Thermisch TLP}(t)} = - \frac{t}{R_{\text{Thermisch}} \cdot \ln \left( 1 - \frac{T_{C(t)}}{P_{\text{Thermisch}} \cdot R_{\text{Thermisch}}} \right)} \quad (3)$$

Unter der Voraussetzung, dass die Leistungsabgabe bei einer TLP Entladung näherungsweise konstant erfolgt, kann  $P_{\text{Thermisch}}$  aus der gemessenen Energie  $E_{\text{TLP}}$  und der Pulsdauer  $t_{\text{TLP}}$  berechnet werden. Hierzu werden die Messdaten der letzten TLP-Entladung herangezogen, welche noch nicht zu einem Ausfall geführt hat:

$$P_{\text{Thermisch}} = \frac{E_{\text{TLP}}}{t_{\text{TLP}}} \quad (4)$$

An der TLP-Zerstörungsenergie des Bauteils heizt sich das beaufschlagte Halbleitervolumen auf die Temperatur  $T_{\text{Struktur MAX}}$  auf. Bei Annahme einer konstanten Umgebungstemperatur  $T_{\text{Umgebung}}$  ergibt sich  $T_{C(t)}$  nach der TLP Pulsdauer  $t_{\text{TLP}}$  zu:

$$T_{C(t_{\text{TLP}})} = T_{\text{Struktur Max}} - T_{\text{Umgebung}} \quad (5)$$

Mit Gleichungen (3), (4) und (5) kann die thermische Kapazität  $C_{\text{Thermisch TLP}}$  aus den TLP Messda-

ten berechnet werden:

$$C_{\text{Thermisch TLP}} = - \frac{t_{\text{TLP}}}{R_{\text{Thermisch}} \cdot \ln \left( 1 - \frac{T_{\text{Struktur MAX}} - T_{\text{Umgebung}}}{\frac{E_{\text{TLP}}}{t_{\text{TLP}}} \cdot R_{\text{Thermisch}}} \right)} \quad (6)$$

Die thermische Kapazität wird so angepasst, dass bei einer gegebenen TLP-Entladung die maximal zulässige Halbleitertemperatur gerade erreicht wird. Die so ermittelte Grenze gibt einen Anhaltspunkt für die thermische Belastbarkeitsgrenze eines Systems unter Pulsbelastung.

Da bei positiven und negativen Pulsen unterschiedliche parasitäre Strukturen angesprochen werden können, ist die thermische Kapazität sowohl für positive als auch für negative TLP Entladungen zu ermitteln. Die Parameter, welche für die Simulation des thermischen Ausfalles notwendig sind, können aus Messwerten und Umgebungsparametern bestimmt werden. Das vorgestellte thermische Ausfallmodell verliert seine Gültigkeit, wenn sich die thermische Kapazität der beaufschlagten Halbleiterstruktur verändert. Erkennbar kann dies werden, wenn die aus den TLP Messungen mit unterschiedlichen Pulsbreiten ermittelte Energie  $E_{\text{TLP}}$  in Gleichung (6) nicht zu einem konstantem Wert für  $C_{\text{Thermisch TLP}}$  führen [14].

### 3 Leistungsfähigkeit der Simulationsmethode bei IEC 61000-4-2 Pulsen

Als Anwendungsbeispiel und zur Erprobung der Praxistauglichkeit der Simulationsmethode wurden verschiedene Kfz-Halbleiterbauelemente untersucht.

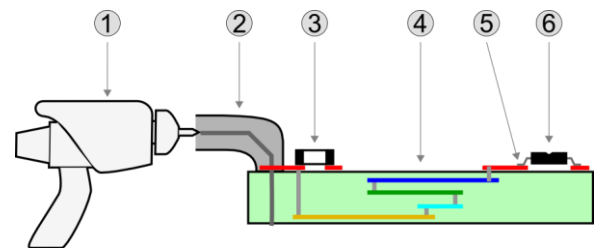


Abbildung 3: Schematischer Mess- und Simulationsaufbau für IEC ESD-Tests an einem Steuergeräteeingang

Im ersten Schritt wurden verschiedene automotiv ICs mit IEC 61000-4-2-Pulsen bis zur Zerstörung getestet. Im zweiten Schritt wurde ein CAN Transceiverbauelement (TLE6250, SO8, Infineon,

CANH) getestet. Bei diesem Bauteil wurde zur Erhöhung der Belastbarkeitsgrenze auf Systemebene der IC Eingang mit externen Schutzelementen beschaltet. Abbildung 3 zeigt schematisch den Testaufbau. Die verwendete Leiterplatte besteht aus 6 Lagen und hat die Abmessung von 160 mm × 160 mm. Der Lagenaufbau, die Leiterbahnführung und die Platzierung der Bauteile sind typisch für Kfz-Steuergeräte. Ein Noiseken ESD-Generator (1) wurde über einen Steckerpin (2) entladen.

IEC ESD Parameter	
$R_{ESD}$	330 $\Omega$
$C_{ESD}$	150 pF
Entladungen	3
Wartezeit	5 s

Tabelle 1: IEC ESD Parameter

Tabelle 1 zeigt die dabei verwendeten Parameter des ESD-Generators. Direkt am Steckerpin befindet sich das optionale diskrete Schutzelement (3). Der Entladestrom gelangt durch verschiedene Lagen in der Leiterplatte (4) zu dem jeweiligen Eingang (5) des Halbleiterbauelementes (6). Für den CAN Treiber TLE6250 wurde die Zerstörungsgrenze des Einganges zusätzlich mit einem Kondensator und einem Varistor als diskretes Schutzelement (Tabelle 2) an der Stelle (3) ermittelt.

Schutzelement	Wert	Type
Kein Schutz	-	-
Kondensator	10 nF	C1608X7R1H103K
Varistor	14 V	CT0603K14G

Tabelle 2: Verwendete Schutzelemente für einen Steuergeräteeingang

Jeweils drei Bauteile wurden nacheinander mit IEC 61000-4-2-Pulsen beaufschlagt und die zur Zerstörung notwendige Ladespannung ermittelt. Als Indikator für eine Schädigung der Bauteile wurde eine einfach durchzuführende Leckstrommessung an den beaufschlagten Strukturen nach jeder Entladung durchgeführt. Bei einer signifikanten Abweichung des Leckstromes von den vorher gemessenen Werten wird ein Defekt des betreffenden Bauteils angenommen. Die durch Messung ermittelte zerstörende Ladespannung wurde mit zuvor errechneten Simulationswerten verglichen.

Für die Simulation wurde der IEC ESD-Generator mittels RLC-Ersatzschaltungen nachgebildet [15].

Das nichtlineare Verhalten der diskreten Schutzelemente wurde mittels Strom-Spannungskennlinien berücksichtigt [1]. Die PCB Übertragungsstrecken wurden, wie in [2] dargestellt, mittels abschnittsweise definierter Microstripline Modelle beschrieben. Um das nichtlineare Verhalten der IC Eingangsstrukturen für die Simulation abzubilden wurden mehrere geeignete Strom-Spannungskennlinien verwendet [3].

Abbildung 4 zeigt die Ergebnisse für die simulierten und gemessenen Ausfallschwellen für unterschiedliche Bauelemente ohne externe Schutzelemente.

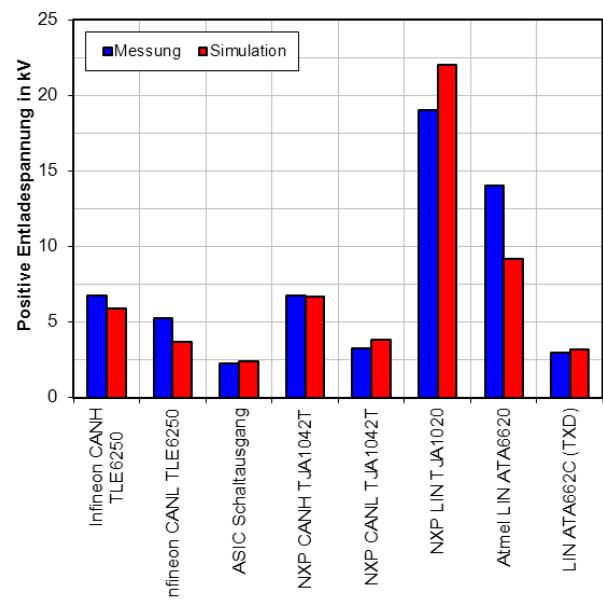


Abbildung 4: Vergleich von Simulierten und gemessenen Ausfallschwellen für unterschiedliche Halbleiter ohne diskrete Schutzelemente

In vielen Schaltungen werden die untersuchten Bauelemente mit diskreten Schutzkomponenten versehen, um ihre ESD-Festigkeit zu vergrößern. Jedoch kann in einem Aufbau ohne Schutzelemente die Leistungsfähigkeit der Simulationmethode besser beurteilt werden, da weniger Freiheitsgrade das Ergebnis beeinflussen können. Hierbei zeigt sich eine gute Übereinstimmung von simulierten und gemessenen Ausfallschwellen für die getesteten Bauteile. Abbildung 5 zeigt gemessene und simulierte Ausfallspannungen eines CAN Transceiverbausteins (TLE6250, SO8, Infineon, CANH) im Vergleich zu den Ausfallschwellen desselben Bauteils mit unterschiedlichen diskreten Schutzelementen. Wie schon bei dem vorherigen Vergleich zeigt sich auch hier eine gute Vergleichbarkeit der simulierten und der gemessenen Ausfallschwellen.

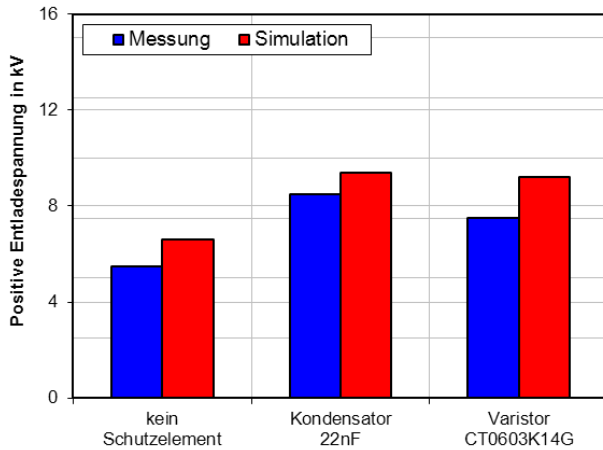


Abbildung 5: Vergleich von simulierten und gemessenen Ausfallschwellen für einen CAN Transceiverbaustein (TLE6250, SO8, Infineon, CANH) mit unterschiedlichen Schutzelementen

#### 4 Skalierung der thermischen IC-Pulsfestigkeit auf 1 kV und 2 kV HBM

Als weitere Anwendung der Simulationsmethode wurde folgende Fragestellung untersucht: Wie wirkt sich die Verringerung der ESD-Festigkeit einer Komponente auf die Festigkeit eines gesamten Systems aus? Hierzu wurde im Simulationsmodell die thermische Belastbarkeitsgrenze eines IC-Eingangs von 2 kV auf 1 kV reduziert. Als Halbleitereingang wurde der zuvor bereits modellierte TXD Eingang eines LIN Transceiverbausteins ATA662C herangezogen. Das thermische Modell wurde in zwei Schritten angepasst, so dass der skalierte IC-Eingang 2 kV bzw. 1 kV HBM-Festigkeit (JEDEC) aufweist. Für die Skalierung des thermischen IC-Modells auf ein neues Festigkeitsniveau wurden die thermischen Parameter verändert, so dass bei einer HBM Entladung von 2 kV bzw. 1 kV die kritische Temperatur erreicht wird. Um ein vergleichbares Verhalten zu erreichen, wurde die thermische Zeitkonstante der beiden Größen  $C_{Thermisch}$  und  $R_{Thermisch}$  als konstant angenommen.

$$\tau_{Thermisch} = C_{Thermisch} \cdot R_{Thermisch} = const. \quad (7)$$

Die Wirksamkeit von unterschiedlichen ESD Schutzelementen (Tabelle 2) auf die ESD Festigkeit der skalierten IC Modelle kann in der Simulation untersucht werden. Die resultierende IEC ESD-Festigkeit wurde analog zu dem vorherigen Simulationsaufbau (Abbildung 3) ermittelt. Abbildung 6 zeigt die simulierten Ausfallschwellen des Bauteileinganges bei unveränderter, auf 2 kV und 1 kV

reduzierter HBM Festigkeit. Hierbei tritt die Abhängigkeit der System ESD-Festigkeit vom verwendeten diskreten Schutzelement deutlich hervor. Während der Varistor für die reduzierten Modelle keine nennenswerte Steigerung der Systemfestigkeit bewirkt, ist dieser bei dem unveränderten Modell noch deutlich wirksam. Der Kondensator bewirkt jedoch sowohl bei den reduzierten als auch bei dem unveränderten Modell eine Steigerung der Systemfestigkeit.

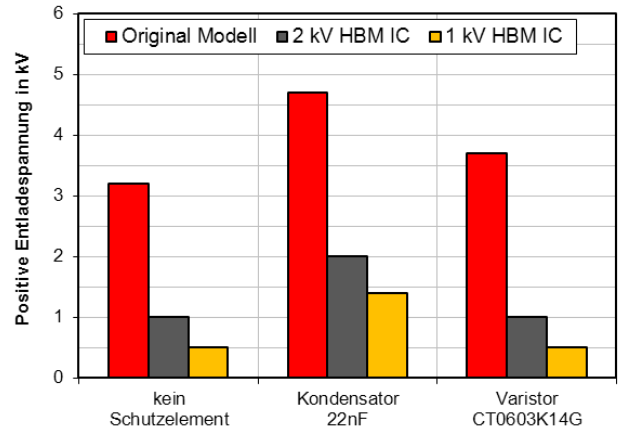


Abbildung 6: Vergleich von simulierten IEC ESD-Ausfallschwellen für einen LIN Transceiverbaustein (LIN, ATA662C, TXD) mit unterschiedlichen Schutzelementen

#### 5 Zusammenfassung

Mit der vorgestellten Simulationsmethode können Schaltungen und ESD-Schutzkonzepte auf Systemebene bewertet und optimiert werden. Die Simulation lässt eine Bewertung der Verteilung der Schutzwirkung zwischen IC-internen Schutzmaßnahmen und externen Schutzkomponenten in Abhängigkeit von einer geforderten ESD-Mindestfestigkeit zu.

Die Modellierungsmethode für die thermische Belastung von IC Eingängen bietet zwar keine vollständige Abdeckung aller Fehlermöglichkeiten. Jedoch können viele Ausfälle von in der Praxis eingesetzten Bauelementen damit abgedeckt werden, wie die Untersuchungen gezeigt haben.

Die Festigkeitsbewertung kann somit bereits in frühen Entwicklungsphasen geschehen, ohne dass Hardwarekomponenten verfügbar sind.

## Danksagung

Ein Teil der vorgestellten Untersuchungen wurde durch den ESD Forum e.V. gefördert.

## 6 Literatur

- [1] Bastian Arndt, Friedrich zur Nieden, Frank Kremer, Yiqun Cao, Johannes Edenhofer, Stephan Frei; „*Modellierung von ESD Schutzelementen in VHDL-AMS*“; EMV 2010, Düsseldorf
- [2] Bastian Arndt, Friedrich zur Nieden, Yiqun Cao, Stephan Frei, Felix Mueller, Johannes Edenhofer, „*Simulationsbasierte Analyse von ESD-Schutzelementen auf Systemebene*“; ESD Forum 2009; Berlin
- [3] Bastian Arndt, Friedrich zur Nieden, Stephan Frei; „*Modellierung und Simulation der ESD-Zerstörfestigkeit von integrierten Schaltungen in KFZ-Anwendungen*“; EMV 2012, Düsseldorf
- [4] Ekbert Hering, Klaus Bressler, und Jürgen Gutekunst; „*3.3.4 Grenzwerte der Feldefektransistoren; Elektronik für Ingenieure und Naturwissenschaftler*“; 2009; Berlin Springer; ISBN: 978-3540243090
- [5] Aris Christou; „*RiAC, Reliability of High Temperatur Electronics*“, 2006; USA; ISBN:0-9652669-4-X
- [6] Jaakko Paasi, Jeremy Smallwood, Hannu Salmela; „*New Methods for the Assessment of ESD Threats to Electronic Components*“; 2003; ESD Association; 25 EOS/ESD Symposium; Las Vegas
- [7] Michael Reisch; „*Elektronische Bauelemente Funktion, Grundschtaltung, Modellierung mit SPICE*“; 1998, Springer; ISBN: 3-540-60991-1
- [8] Josef Lutz; „*Zerstörungsmechanismen in Leistungsbauerelementen; Thermisches Ersatzschaltbild und thermische Simulation; Halbleiter Leistungsbauerelemente: Physik, Eigenschaften, Zuverlässigkeit*“; 2006; Springer; ISBN:978-3540342069
- [9] Jean-Robert Manouvrier, Pascal Fonteneau, Charles-Alexandre Legrand, Corinne Richier, Hélène Beckrich-Ros; „*A Scalable Compact Model of Interconnects Self-Heating in CMOS Technology*“; 2008; EOS/ESD Symposium
- [10] Michael Stockinger, James W. Miller „*Characterization and Modeling of Three CMOS Diode Structures in the CDM to HBM Timeframe*“; 2006; EOS/ESD Symposium; Tucson, Arizona
- [11] Robert M. Steinhoff, Jin-Biao Huang, Philip L. Hower, Jonathan S. Brodsky; „*Current Filament Movement and Silicon Melting in an ESD-Robust DENMOS Transistor*“; 2003; ESD Association; EOS/ESD Symposium
- [12] D. C. Wunsch and R. R. Bell; „*Determination of threshold voltage levels of semiconductor diodes and transistors due to pulsed voltages*“ IEEE Transactions on Nuclear Science 1968; NS-15 (6): 244–259
- [13] S. Bychikhin, V. Dubec, M. Litzenberger, D. Pogany, E. Gornik, G. Groos, K. Esmark, M. Stecher, W. Stadler, H. Gieser, H. Wolf „*Investigation of ESD Protection Elements Under High Current Stress in CDM-Like Time Domain Using Backside Laser Interferometry*“; 2002; 24. EOS/ESD Symposium; North Carolina
- [14] M.S. Ash; „*Semiconductor Junction non-linear failure power thresholds: Wunsch-Bell revisited*“; 1983; 5th EOS/ESD Symposium
- [15] Friedrich zur Nieden, Bastian Arndt, Frank Kremer, Yiqun Cao, Johannes Edenhofer, Stephan Frei; „*Vergleichbarkeit von ESD-Prüfungen auf IC- und Systemebene oder welchen Einfluss hat eine Reduzierung der IC-ESD-Festigkeit auf die Systemfestigkeit?*“; EMV 2010; Düsseldorf