

Gefährdung von integrierten Schaltungen durch Überkopplungen zwischen Leiterbahnen auf Platinen

Friedrich zur Nieden¹, Stanislav Scheier¹, Bastian Arndt², Stephan Frei¹

(1) Technische Universität Dortmund, AG Bordsysteme, Friedrich-Wöhler-Weg 4, 44227 Dortmund

(2) AVL-Trimerics, Im Gewerbepark B27, 93043 Regensburg

Zusammenfassung – In diesem Beitrag werden mögliche Konsequenzen durch Überkopplungen von ESD-Pulsen zwischen Leiterbahnen auf Platinen untersucht. Hintergrund der Untersuchung bildet die Absenkung der Standard-ESD-Festigkeit von Halbleitern. Es wird befürchtet, dass bestimmte IC-Anschlüsse auf Platinen durch indirekte Kopplungen gefährdet sind. Nach einer Analyse möglicher kritischer Koppelszenarien wurde eine Demonstrator-Platine entwickelt, um die Koppelleigenschaften zwischen Leiterbahnen systematisch zu untersuchen. Typische Kfz-ICs bilden die Abschlüsse für die Leiterbahnen. Die Untersuchungen wurden messtechnisch und simulationsbasiert durchgeführt. Durch Variation der Leitungsparameter und der Abschlüsse wurden kritische Konfigurationen bestimmt.

Abstract – On-PCB coupling effects with ESD pulses are analyzed. The lowering of component level HBM ESD specifications is currently discussed in industry. Often IC inputs, which are not directly connected to the connector of electronic control units, are specified with lower ESD robustness and might be affected by indirect ESD coupling. For systematic investigation of critical coupling configurations a demonstrator PCB was designed. Common automotive ICs can be used as terminations of the PCB traces. After verification of all simulation models by measurement critical configurations were determined by variation of the trace topology and parameters.

1 Einleitung

Die Strukturgrößen in den ICs werden durch die Anwendung neuer Technologien kleiner. Für den ESD-Schutz stellt die Miniaturisierung eine Herausforderung dar. Im ESD-Fall müssen kleinere Halbleiterstrukturen den ESD-Strom tragen. Die durch Normen und andere Vereinbarungen vorgegebenen Spezifikation für den ESD Schutz blieben bisher unverändert. Ein Konsortium vieler wichtiger Halbleiterhersteller schlug vor einigen Jahren die Herabsetzung der bisher üblichen HBM Prüfschärfe für IC Pins von 2 kV auf 1 kV vor [1]. Statistische Untersuchungen des Konsortiums weisen darauf hin, dass diese Maßnahme sich nicht negativ auf Ausfallraten von Systemen auswirken wird.

Die vom Konsortium vorgeschlagenen Maßnahmen sollen jedoch nicht für alle IC-Pins gelten. Es kann zwischen globalen und lokalen Pins unterschieden werden. Globale IC-Eingänge sind im Gegensatz zu lokalen Pins direkt mit dem Gerätestecker des elektronischen Systems verbunden und können deshalb elektrostatischen Entladungen mit größeren Amplituden und Energien ausgesetzt sein.

In der Automobilindustrie werden die Auswirkungen der Reduzierung der HBM-

Festigkeit auf IC-Ebene kontrovers diskutiert [2]. Da die globalen Pins in den Systemprüfungen besonders im Kfz-Bereich weiterhin hoch belastet werden, kann durch Verkopplungen auf Platinen ein nur noch schwach geschützter lokaler Pin aufgrund der niedrigen Eigenfestigkeit gefährdet sein. Weiterhin sind die Auswirkungen auf bestehende Schutzkonzepte, die auf diskrete ESD-Schutzelemente zurückgreifen, unklar.

Die Ausfallspannung eines ICs kann durch die Verwendung von Schutzelementen nur in Grenzen angehoben werden [3]. Somit könnte die Reduzierung der ESD-Festigkeit auf IC-Ebene dazu führen, dass vorhandene und erprobte Schutzkonzepte für empfindliche Systeme nicht mehr ausreichen werden.

In diesem Beitrag werden mögliche Konsequenzen durch Überkopplungen untersucht. Eine Demonstrator-Platine wurde unter Berücksichtigung typischer Konfigurationen, die in der Automobilindustrie vorkommen, entwickelt. Die Koppelleigenschaften zwischen Leitungen werden untersucht. Typische Kfz-ICs, werden dabei als realistische Abschlüsse für die Leitungen verwendet. Das Ausfallverhalten der ICs kann durch Messungen und Simulationen untersucht werden [5][6]. Für die IC-Abschlüsse wurden thermische ESD-Ausfallmodelle erstellt.

Durch Veränderung der thermischen Eigenschaften kann die ESD-Festigkeit im Modell beliebig angepasst werden. Durch Variation der Leitungsparameter und der Abschlüsse können kritische Konfigurationen bestimmt werden.

2 Demonstrator-Platine

Für die Untersuchungen wurde eine 160 mm x 100 mm große Demonstrator-Platine verwendet. Diese ist zweilagig aufgebaut, wobei eine Lage als Massefläche ausgeführt ist. Das FR4-Material des Dielektrikums hat eine Dicke von 1,55 mm. Die Dicke der Kupferleiterbahnen beträgt 35 µm. Zur Untersuchung von Koppeffekten wurden zwei 110 mm lange und 1 mm breite Leiterbahnen in einem Abstand von 0,5 mm verwendet. Über Löt pads an den Enden können die Bahnen mit verschiedenen Abschlüssen und ESD-Schutzelementen versehen werden. Für Messungen kann ein ESD-Generator über einen 32-poligen Stecker entladen werden und Strom- und Spannungssignale über aufgelötete SMA-Buchsen mit dem Oszilloskop gemessen werden. Auf der Platine sind Sockel für CAN- und LIN-transceiver sowie für einen µC verbaut, um die IC-ESD-Festigkeit verschiedener Pins zu überprüfen.

3 Modellierung

In diesem Kapitel werden Modelle vorgestellt, die für die simulationsbasierten Untersuchungen notwendig waren. Leitungsmodelle, IC-Modelle und die Modelle der ESD-Pulsquellen wurden zu einem Gesamtsystem für die Simulation miteinander verbunden. Alle Untersuchungen wurden in VHDL-AMS durchgeführt.

3.1 Pulsquellen

Für die Untersuchungen wurden Netzwerkmodelle verschiedener Pulsquellen eingesetzt. Messungen und Simulationen auf Systemebene wurden mit einem Noiseken TC-815R IEC-ESD-Generator durchgeführt. Ein äquivalentes Modell aus konzentrierten Elementen wurde in [7] vorgestellt. Für die Charakterisierung von ICs wird ein Transmission-Line-Pulser (TLP) eingesetzt. Der Puls wird durch eine vorgeladene 50 Ω Leitung und weitere Elemente zur Abbildung der Anstiegszeiten und des Reflektionsverhaltens modelliert [7] [8]. Für die Untersuchungen der Auswirkungen der Herabsetzung der ESD-Festigkeit auf IC-Ebene wurde ein Modell eines HBM-Generators aus konzentrierten Elementen [3] eingesetzt.

3.2 Modellierung von Leitungsstrukturen auf Platinen

Für die Simulation der Übertragungseigenschaften von und der Kopplung zwischen Leitungsstrukturen können Mehrleitermodelle verwendet werden. Geeignete Modelle werden in [9] beschrieben. Die Modellparameter können mit Kenntnis der Materialien und der Abmessungen berechnet werden [10] [11].

3.3 Modellierung von Halbleiterstrukturen

Das statische Strom- Spannungsverhalten von Halbleiterbauelementen wird durch Messungen mit einem Kennlinienschreiber und für höhere Ströme mit einem TLP [13] bestimmt. Die statische Kennlinie wird zusammen mit einem elektrischen Netzwerk zur Abbildung der frequenzabhängigen Eigenschaften, die mit dem Netzwerkanalysator (NWA) gemessen werden, im Modell hinterlegt. Die Modellierung von ESD-Schutzelementen und IC-Eingängen wurde in [4][5][6][8] beschrieben.

Die ESD-Zerstörfestigkeit der für diese Untersuchungen verwendeten ICs wird durch das Erreichen einer kritischen Schmelztemperatur des Siliziums modelliert [6]. Die Zerstörenergie wurde durch Messungen mit dem TLP unter Variation der Pulsbreite ermittelt und in dem Modell abgebildet.

Tabelle 1: Ermittelte Ausfallenergien der Original- und der skalierten Modelle von 3 IC-Pins

IC (Pin)	Ausfallenergie [µJ]		
	Ge-messen	2 kV HBM (Faktor-Mess)	1 kV HBM (Faktor-2kV)
Infineon µC XC864 (DATA)	12,3	0,82 (15,0)	0,35 (2,4)
Atmel LIN ATA662C (TXD)	7,4	1,7 (4,4)	0,7 (2,4)
NXP CAN TJA1041T (CANH)	19,2	5,2 (3,7)	2,1 (2,5)

Um die Auswirkung der geplanten Herabsetzung der HBM-Festigkeit von ICs zu untersuchen, wurde die ESD-Festigkeit der zuvor durch Messungen verifizierten Modelle herabgesetzt, sodass die Energie zum Erreichen der Zerstörtemperatur bei einem 1 kV oder 2 kV HBM-Puls simuliert wird. Bei der Methode zur Skalierung der ESD-Festigkeit werden die

thermische Kapazität und der thermische Widerstand der IC-Modelle an die neue Ausfallenergie angepasst [6]. Die durch Messungen und der Skalierung ermittelten Ausfallenergien IC-Modelle können aus Tabelle 1 entnommen werden. Die kleinste Ausfallenergie beträgt demnach 350 nJ für das 1 kV HBM-Modell des μ C-DATA-Pins.

Messung

Zur Überprüfung der Anwendbarkeit der Modelle für abschließende Untersuchungen werden Messdaten mit Simulationsdaten verglichen. Die Demonstrator-Platine wurde verwendet, um Messungen an geeigneten Konfigurationen durchzuführen. Wichtige Ergebnisse werden nachfolgend dargestellt. Detaillierte Untersuchungsergebnisse können aus [14] entnommen werden.

3.4 Leitungseinkopplung, messtechnische Analyse und Verifikation der Simulationstechnik

Für den Vergleich von Messung und Simulation der Koppelereigenschaften von Leiterbahnen werden die entsprechenden Leitungen der Länge 110 mm auf dem Demonstrator verwendet. Die Leitungen haben einen Abstand von 0,5 mm und sind an einem Ende mit 51Ω Widerständen abgeschlossen. Ein NWA wird über zwei SMA-Buchsen mit jeweils einem Ende der Leitungen verbunden. Die Parameter des Leitungsmodells sind in Tabelle 2 dargestellt. Die verschiedenen Ausbreitungsgeschwindigkeiten der modalen Gleich- und Gegentaktgrößen haben einen zu vernachlässigenden Einfluss. Die gemessenen und simulierten Reflexions- und Transmissionsparameter sind in Abbildung 1 dargestellt. Die Kurven stimmen für beide Parameter gut überein.

Zur Verifizierung der Leitungsverkopplung im Zeitbereich wurde eine weitere Konfiguration verwendet, bei welcher die Leitungen an einem Ende mit $1 \text{ k}\Omega$ abgeschlossen sind. Über SMA-Buchsen wird ein Oszilloskop angeschlossen, sodass der Abschluss an diesem Ende 50Ω entspricht. Der Messaufbau ist in Abbildung 2 dargestellt. Der ESD-Generator wird an Knoten N_1 über Leitung 1 entladen. Mit dem Oszilloskop können Strom und Spannung an Knoten N_4 auf Leitung 2 gemessen werden. Die Ladespannung beträgt 1 kV.

Tabelle 2: Parametrisierung des Leitungsmodells für die Simulation der Demonstrator-Platine

$Z_{\text{Gegentakt}}$	105.2Ω
$Z_{\text{Gleichtakt}}$	52.5Ω
$v_{\text{Gegentakt}}$	$172.9 \cdot 10^6 \text{ m/s}$
$v_{\text{Gleichtakt}}$	$172.9 \cdot 10^6 \text{ m/s}$

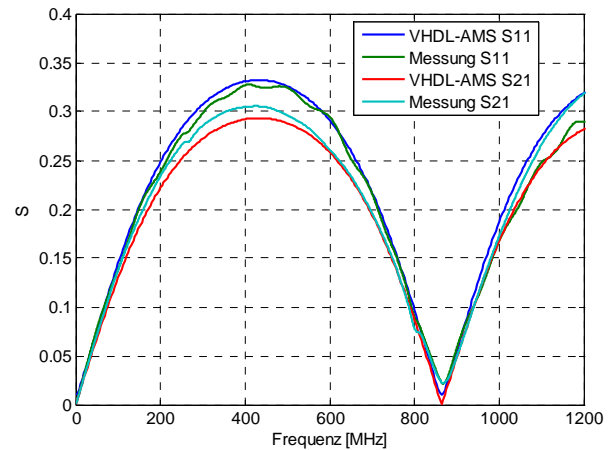


Abbildung 1: Vergleich von Messung und Simulation der Leitungsverkopplung im Frequenzbereich

Die gemessenen und simulierten Kurven für Strom und Spannung sind in Abbildung 3 und Abbildung 4 dargestellt. Nach Tabelle 3 wurden auf Leitung 1 etwa $8 \mu\text{J}$ gemessen, während die Energie auf Leitung 2 nur etwa 4 nJ beträgt. Obwohl die gemessenen und simulierten Kurven gut übereinstimmen, liegt die Abweichung bei der aus den Verläufen errechneten Energie wegen des Rauschanteils bei etwa 20 %. Der Faktor zwischen den Energien auf Leitung 1 und Leitung 2 ist größer als 1000.

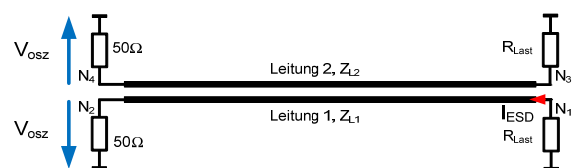


Abbildung 2: Konfiguration zur Verifizierung der Leitungsverkopplung im Zeitbereich

Für die Untersuchung einer Leitungsentladung wurde ein TLP auf Leitung 1 entladen. Als Lastwiderstand R_{Last} wurde 51Ω gewählt. Die Ladespannung beträgt 400 V. Die gemessenen und simulierten Kurven der Konfiguration stimmen gut überein und sind in Abbildung 5 und Abbildung 6 dargestellt. Die berechnete Energie auf Leitung 2 beträgt 20 nJ . Die

Maximalamplituden liegen bei dieser Konfiguration in der gleichen Größenordnung wie für eine 1 kV IEC-Generator-Entladung an 1 kΩ.

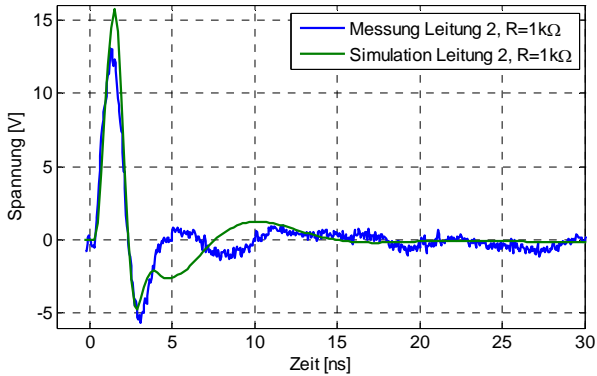


Abbildung 3: Spannung auf Leitung 2 bei 1 kV IEC-Generator-Entladung auf Leitung 1

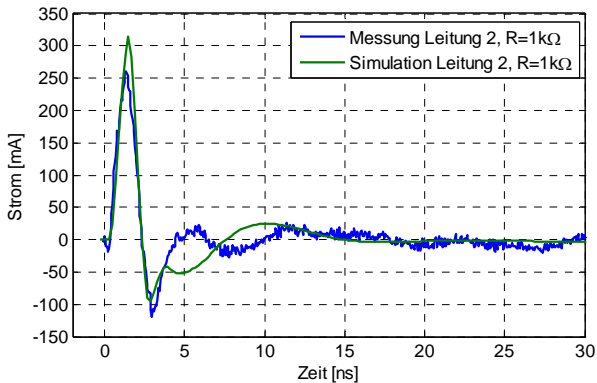


Abbildung 4: Strom auf Leitung 2 bei 1 kV IEC-Generator-Entladung auf Leitung 1

Tabelle 3: Vergleich der Energien auf Leitung 1 und Leitung 2

	Energie Leitung 1	Energie Leitung 2	(E_{L1}/E_{L2})
Simulation	8.2 μJ	4.9 nJ	1740
Messung	8.0 μJ	3.9 nJ	2051

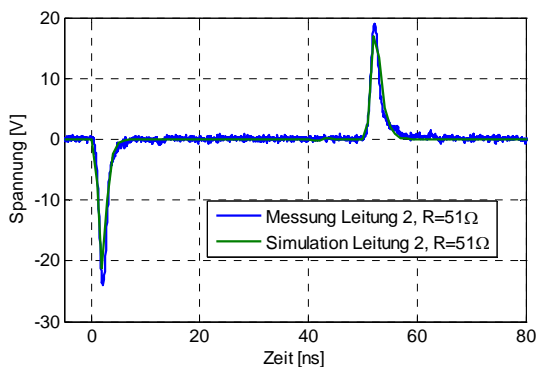


Abbildung 5: Spannung auf Leitung 2 bei 400 V TLP-Entladung auf Leitung 1

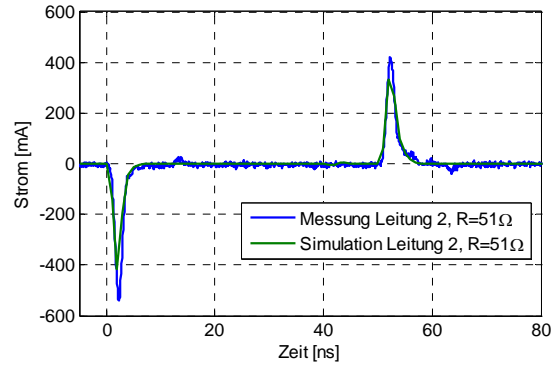


Abbildung 6: Strom auf Leitung 2 bei 400 V TLP-Entladung auf Leitung 1

Weitere Messungen wurden unter Verwendung von ESD-Schutzelementen durchgeführt. In dem in Abbildung 7 dargestellten Messaufbau ist ein EPCOS CT0603K14G Varistor an Knoten N_3 angelötet worden. Strom- und Spannungsverläufe wurden mit dem Oszilloskop an Leitung 2 für eine 8 kV ESD-Generator-Entladung auf Leitung 1 gemessen. Die Kurven sind in Abbildung 8 und Abbildung 9 dargestellt und stimmen mit der Simulation gut überein. Maximalamplituden von über 150 V und 3,5 A wurden für diesen Fall gemessen.

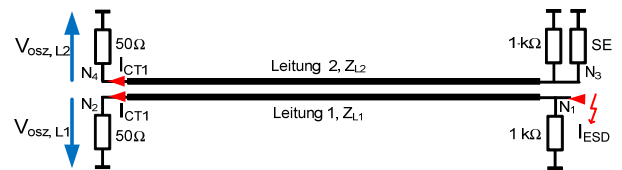


Abbildung 7 Konfiguration zur Verifizierung der Leitungsverkopplung im Zeitbereich mit einem Varistor

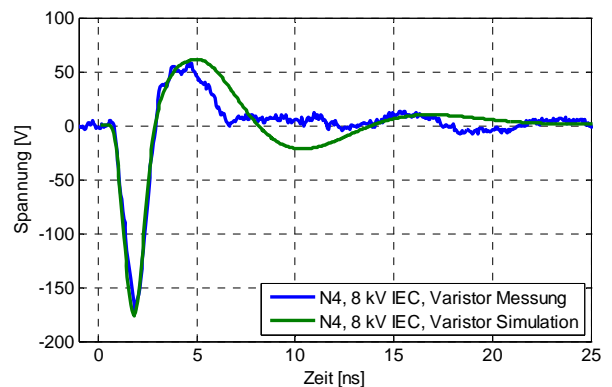


Abbildung 8: Spannung auf Leitung 2 mit Varistor bei 8 kV IEC-Generator-Entladung auf Leitung 1

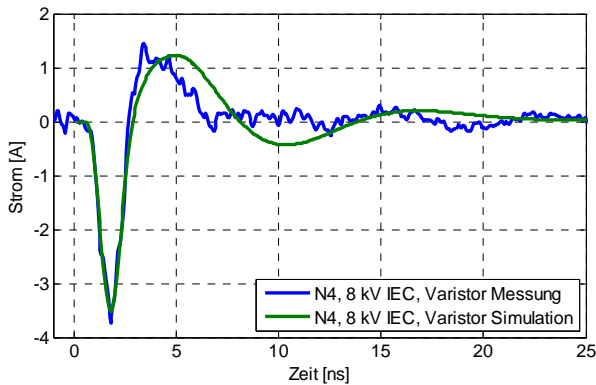


Abbildung 9: Strom auf Leitung 2 mit Varistor bei 8 kV IEC-Generator-Entladung auf Leitung 1

3.5 Verifikation der IC-Modelle

Die Modellierung der ESD-Festigkeit von ICs basiert auf den Ergebnissen aus der Charakterisierung mit dem TLP. Für die Verifizierung der IC-Modelle wurde die ESD-Festigkeit unter Berücksichtigung der Konfiguration auf der Demonstrator-Platine simuliert und anschließend mit einem IEC-ESD-Generator durch Messung ermittelt. Nachfolgend werden Ergebnisse für den μC -DATA-Pin exemplarisch dargestellt. Ergebnisse für weitere IC-Eingänge werden in [6][14] dargestellt.

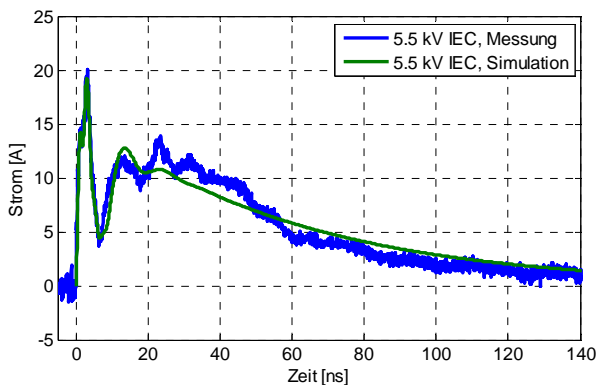


Abbildung 10: Vergleich von Messung und Simulation für eine IEC-Entladung mit μC

Der Entladestrom, welcher zur Zerstörung des μC führte, wird in Abbildung 10 gezeigt. Messung und Simulation stimmen gut überein. In Tabelle 4 werden die gemessenen Größen, die zur Zerstörung des μC führen, für eine TLP-Entladung mit 100 ns Pulsbreite und eine IEC-Generator-Entladung gegenübergestellt. Die ermittelten Ausfallenergien weichen nur geringfügig voneinander ab. Diese und weitere hier nicht dargestellte Messreihen bestätigen die Annahme, dass viele Ausfälle durch thermische Zerstörung verursacht werden und das thermische Ausfallmodell korrekt ist. Die nominelle HBM-Festigkeit des Pins beträgt laut Datenblatt 2 kV.

Tabelle 4: Gemessene Größen für TLP und ESD-Generator, die zum Ausfall des μC führten

ESD-Pulsquelle	U_{Lade} [V]	$V_{\text{IC,max}}$ [V]	$I_{\text{IC,max}}$ [A]	E_{Ausfall} [μJ]
IEC NoiseKen	5500	53.4	27.1	11.3
TLP 100 ns	450	95.4	9.0	12.3

4 Simulationsbasierte Analysen

Die Leitungstopologie und die Abschlusskonfiguration werden in der Simulation systematisch verändert. Zunächst wird der Einfluss einer Leitung auf die ESD-Festigkeit eines ICs untersucht. In Abschnitt 4.2 werden bei Variation von Konfigurationsparametern übergekoppelte Signale simuliert. In Kapitel 4.3 wird eine Topologie simuliert, welche als typisch für Kfz-Elektronik gesehen werden kann. In Abschnitt 4.4 und 4.5 werden schließlich kritische Konfigurationen herausgestellt.

4.1 Einfluss der Leitungslänge

Der Einfluss der Leitungslänge auf die IC-ESD-Festigkeit eines LIN-TxD-Pins wurde simuliert. Eine Leitung mit Wellenwiderstand von 83Ω wird nach Abbildung 11 mit dem IC-Modell verbunden und am anderen Ende mit $1 \text{ k}\Omega$ abgeschlossen. Der IC-Ausfall wird für eine IEC-Generator-Entladung an beiden Enden der Leitung simuliert und ist in Abbildung 12 dargestellt.

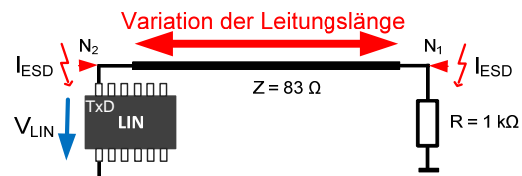


Abbildung 11: Simulation des Einflusses der Leitungslänge auf die IC-ESD-Festigkeit

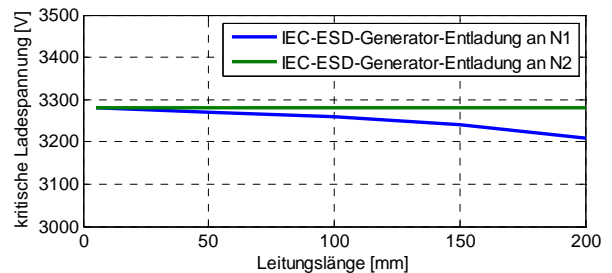


Abbildung 12: Simulierte Ausfalladespannung bei Variation der Leitungslänge

Bei Variation der Leitungslänge von 0 mm – 200 mm verändert sich die kritische

Ladespannung nur unwesentlich. Die Ergebnisse zeigen, dass eine Leitung nicht als ESD Schutz verwendet werden kann.

4.2 Einfluss der Leitungslänge und des Abstands auf die Überkopplung

Um die Auswirkung der Leitungsverkopplung auf lokale IC-Pins bei ESD zu untersuchen, wurde eine Konfiguration mit zwei parallelen Leitungen simuliert. Das Schaltbild ist in Abbildung 13 dargestellt. Leitung 1 ist an einem Ende mit einem globalen IC-Pin abgeschlossen, während Leitung 2 mit einem μ C-Pin mit geringerer ESD-Festigkeit verbunden ist. Die Energie am μ C-DATA-Pin wird für eine 2 kV IEC-Entladung auf Leitung 1 simuliert. In Abbildung 14 wird der Einfluss der Parameter Leitungslänge und Leitungsabstand auf die am μ C simulierte Energie dargestellt. Die eingekoppelte Energie erhöht sich mit größeren Leitungslängen und kleinerem Leiterbahnabstand.

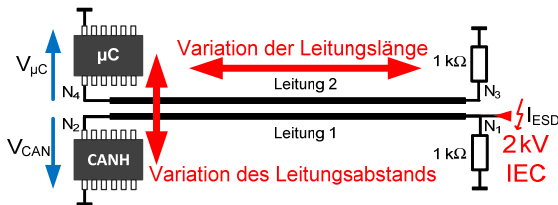


Abbildung 13: Aufbau zur Untersuchung der Leitungstopologie auf die ESD-Einkopplung

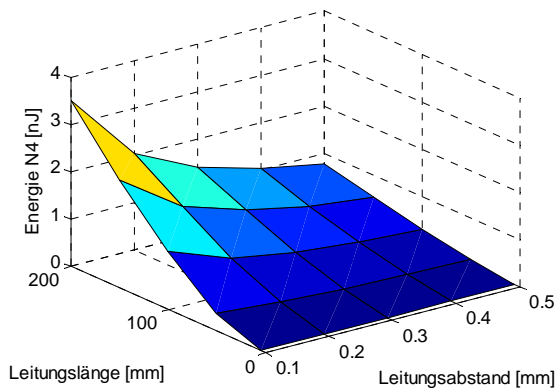


Abbildung 14: Energie an Knoten N_4 bei Variation der Leitungslänge und des Leitungsabstands

4.3 Simulation realitätsnaher Leitungstopologien

Die bisher gezeigten Untersuchungen können zum Teil nicht als typisch angesehen werden. Extreme Bedingungen wurden bewusst für die Analysen hergestellt. Für die weitere Untersuchung werden realitätsnahe Konfigurationen verwendet. Die Parameter für das VHDL-AMS-Leitungsmodell werden in der Simulation angepasst. Die

Berechnung der Gleich- und Gegentaktimpedanzen ist von zahlreichen physikalischen Eigenschaften der Streifenleitungen abhängig. Um die Vielzahl der Parameter einzugrenzen, werden zur Berechnung nur die in Abbildung 15 dargestellten Größen berücksichtigt. Die für eine typische Kfz-Elektronik exemplarisch gewählten physikalischen Eigenschaften können Tabelle 5 entnommen werden.

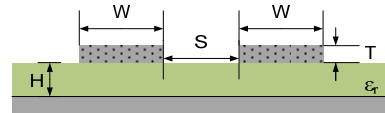


Abbildung 15: Variable Parameter zur Konfiguration des Leitungsmodells

Tabelle 5: Platinen-Parameter

Leiterbreite	W	0,254 mm
Leiterabstand	S	0,254 mm
Höhe über Massefläche	H	0,5 mm
Leiterbahndicke	T	35 μ m
Konstante des Dielektrikums	ϵ_r	4,2
Leiterlänge	Länge	50 mm

Die Parametrisierung des Leitungsmodells wurde in dem in Abschnitt 4.2 verwendeten Simulationsaufbau übernommen. Zusätzlich können 10 nF Kondensatoren als ESD-Schutzelemente an beiden Leitungen berücksichtigt werden. Der Aufbau ist in Abbildung 16 dargestellt.

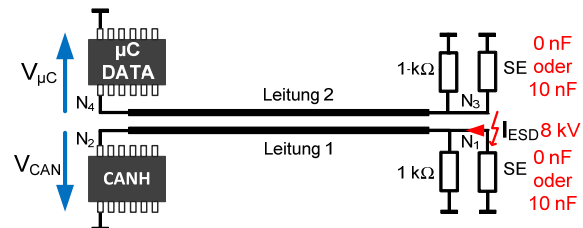


Abbildung 16: Simulationsaufbau mit Schutzelementen an beiden Leitungen

Tabelle 6: Simulierte Größen am CANH-Pin

Abschluss	V_{Lade} [kV]	V_{max} [V]	I_{max} [A]	E [μJ]
Kein ESD-Schutzelement	8	208,9	27,8	115,7
10 nF	8	66,0	6,2	52,1

Tabelle 6 enthält die simulierten Maximalspannungen und Ströme, sowie die Energien am CANH-Pin für eine 8 kV IEC-

Generator-Entladung auf Leitung 1. Die am CANH-Pin simulierte Energie wird durch den Einsatz des 10 nF Kondensators um 50 % reduziert. Die in Leitung 2 eingekoppelten Signale am μC -Pin werden in Tabelle 7 miteinander verglichen. Nach Tabelle 1 beträgt die geringste Ausfallenergie für ein auf 1 kV HBM skaliertes IC-Modell etwa 350 nJ. Es werden für diese Konfiguration lediglich 3 nJ und 1 V Amplitude am μC -DATA-Pin für die 8 kV IEC-Generatorentladung simuliert. Der Sicherheitsfaktor ist somit größer als 100.

Tabelle 7: Simulierte Größen am μC -DATA-Pin

Abschluss	V_{Lade} [kV]	V_{max} [V]	I_{max} [A]	E [nJ]
Kein ESD-Schutzelement	8	2,4	0,1	0,2
10 nF	8	1,1	0,2	3,3

4.4 Kritische Leitungstopologie

Nachfolgend werden kritische Konfigurationen untersucht, bei welchen lokale Pins mit einer spezifizierten HBM-Festigkeit von 1 kV oder 2 kV gefährdet sein können. Wie in Abschnitt 4.2 beschrieben wird, treten größere eingekoppelte ESD-Signale bei möglichst geringem Leiterabstand und großer Leitungslänge auf. Auch die Vergrößerung der Leiterbreite und des Abstandes zur Massefläche kann die Koppeleigenschaften zwischen den Leitern verbessern. Für die Simulation einer kritischen Konfiguration wurden die in Tabelle 8 gezeigten Parameter gewählt.

Tabelle 8: Parameter für kritische Leitungstopologie

Leiterbreite	W	1 mm
Leiterabstand	S	0,1 mm
Höhe über Massefläche	H	1 mm
Leiterbahndicke	T	35 μm
Konstante des Dielektrikums	ϵ_r	4,2
Leiterlänge	Länge	100 mm

In dem in Abbildung 17 gezeigten Simulationsaufbau wird eine 8 kV IEC-ESD-Generator-Entladung auf Leitung 1 simuliert. Ein 10 nF Kondensator kann mit Knoten N_3 an Leitung 2 verbunden werden.

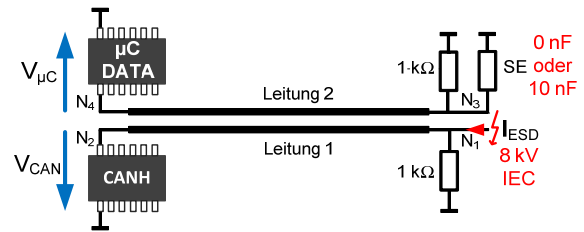


Abbildung 17: Kritische Konfiguration mit Schutzelement an Leitung 2

Tabelle 9 zeigt die Ergebnisse für die am μC -DATA-Pin an Leitung 2 simulierten Größen mit und ohne ESD-Schutzkondensator. Die Energie steigt um den Faktor 200 an, wenn ein ESD-Schutzelement mit Leitung 2 verbunden ist. Die Zerstörgrenze wird für diesen Fall bei auf 1 kV und 2 kV HBM skalierten IC-Modellen überschritten. Ähnliche Energien werden simuliert, wenn die Positionen des μC und des Schutzelementes auf Leitung 2 vertauscht werden.

Tabelle 9: Simulierte Größen am μC -DATA-Pin für kritische Leitungstopologie

Abschluss	V_{Lade} [kV]	V_{max} [V]	I_{max} [A]	E [nJ]
Kein ESD-Schutzelement	8	4,0	0,8	5,8
10 nF	8	30,4	14,8	1202

4.5 Kapazität an globalen Pins

Der Einfluss einer Kapazität an einem globalen IC-Pin auf die Einkopplung in eine benachbarte Leitung wird häufig diskutiert. In dem in Abbildung 18 gezeigten Simulationsaufbau kann eine 220 pF Kapazität parallel zum CANH-Pin geschaltet werden. Tabelle 10 enthält die am μC -Pin simulierten Parameter mit und ohne Kapazitäten an Knoten N_2 und N_3 . Die zusätzlich eingebrachte Kapazität am CANH-Pin verringert die ESD-Einkopplung in Leitung 2 nicht.

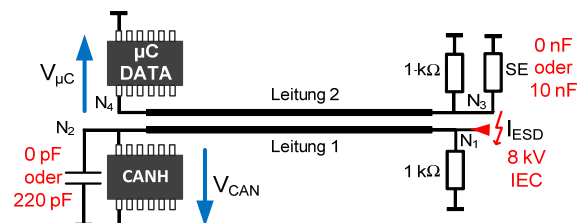


Abbildung 18: Kapazität an globalem CANH-Pin

Tabelle 10: Simulierte Größen am μ C-DATA-Pin für Kapazitäten an Knoten N_2 und N_3

Abschluss	V_{Lade} [kV]	V_{max} [V]	I_{max} [A]	E [nJ]
Kein ESD-Schutzelement	8	4,0	0,8	5,8
10 nF, 220 pF	8	36,9	15,8	1246

5 Zusammenfassung

Das Koppelverhalten von ESD-Ereignissen wurde untersucht. Für die Untersuchungen wurden IC-Pins charakterisiert und das elektrische Verhalten, sowie das thermische Ausfallverhalten bei ESD modelliert. Die Gefährdung von ICs durch Überkopplungen zwischen Leitungen wurde mit auf 1 kV und 2 kV HBM-Festigkeit skalierten Modellen untersucht. Die Leitungsverkopplung wurde für verschiedene Konfigurationen und Leitungstopologien mit und ohne diskrete ESD-Schutzelemente simuliert. Kritische Konfigurationen ergeben sich durch den Abschluss einer Leitung, in die ein ESD-Puls einkoppelt, mit niedriger Impedanz. Für diesen Fall konnten hohe Spannungs- und Stromamplituden simuliert und gemessen werden. Die skalierten IC-Modelle detektierten einen Ausfall. Eine deutliche Abschwächung des auf eine benachbarte Leitung eingekoppelten Signals wird simuliert, wenn ein ESD-Schutzelement mit dem Knoten der Einspeisung des ESD-Pulses verbunden ist. Mit für Automobilelektronik typischen Leitungstopologien konnte kein IC-Ausfall durch Einkopplung einer 8 kV IEC-Generator-Entladung simuliert werden. Insgesamt ist die Gefahr durch Überkopplung durch eine Reduzierung der HBM-ESD-Festigkeit von lokalen IC-Pins als gering einzustufen. Jedoch können kritische Konfigurationen zu Problemen führen. Die ESD-Festigkeit von elektronischen Systemen sollte deshalb im Vorfeld durch eine Simulation abgesichert werden.

Danksagung

Diese Arbeit wurde durch den ESD Forum e.V. unterstützt.

Literatur

[1] Industry Council on ESD Target Levels, "White Paper 1: A Case for Lowering Component Level HBM/MM ESD Specifications and Requirements", Oktober 2010

[2] DKE Deutsche Kommission Elektrotechnik Elektronik Informationstechnik im DIN und VDE, AK 767.13.14_2010-0015. Positionspapier ESD WP1, 2010

[3] F. zur Nieden, Y. Cao, B. Arndt und S. Frei, „Vergleichbarkeit von ESD-Prüfungen auf IC- und Systemebene oder welchen Einfluss hat eine Reduzierung der IC-ESD-Festigkeit auf die Systemfestigkeit?“, EMV 2010, Düsseldorf, März 2010

[4] B. Arndt, F. zur Nieden, F. Müller, J. Edenhofer und S. Frei, „Virtual ESD Testing of Automotive Electronic Systems“, APEMC 2010, Peking, China, April 2010

[5] B. Arndt, F. Kremer, F. zur Nieden, Y. Cao und S. Frei, „Modellierung und Simulation von ESD-Schutzelementen mit VHDL-AMS“, EMV 2010, Düsseldorf, März 2010

[6] B. Arndt, F. zur Nieden, O. Iglitsyn und S. Frei, „Modellierung des thermischen Ausfallverhaltens von IC-Eingängen zur Bewertung der System-ESD-Festigkeit“, ESD Forum, München, Dezember 2011

[7] F. zur Nieden, B. Arndt, J. Edenhofer und S. Frei, „Vergleich von ESD-System-Level Testmethoden für Packaging und Handling“, ESD-Forum 2009, Berlin, Dezember 2009

[8] Y. Cao, B. Arndt, F. zur Nieden, F. Kremer, M. Stecher, und S. Frei, „Charakterisierung und systematische Bewertung von externen ESD Schutzelementen“, EMV 2010, Düsseldorf, März 2010

[9] K. Siebert, H. Günther, S. Frei und W. Mickisch, „Modeling of Frequency Dependent Losses of Transmission Lines with VHDL-AMS in Time Domain“, International Zurich EMC Symposium, Schweiz, Januar 2009

[10] O. Zinke und H. Brunwig: Hochfrequenztechnik 1, 6. Auflage, Berlin, Springer, 2000, ISBN 3-540-66405-X

[11] Paul, Clayton R, "Analysis of Multiconductor Transmission Lines", New York, John Wiley & Sons Inc, 1994, ISBN 0-471-02080-X

[12] <http://web.awrcorp.com/>, AWR Corporation, TX-Line™, 2011

[13] High Power Pulse Instruments GmbH, <http://www.hppi.de/products.html>, Oktober 2011

[14] F. zur Nieden, S. Scheier und S. Frei, „Impact of Lowering the HBM-IC-Robustness on the Automotive-System-Level-Robustness“, Bericht, September 2011