

On-Chip-Analyse von integrierten Spannungsreglern zur Optimierung der Störfestigkeit

Sergey Miropolsky, Technische Universität Dortmund, Dortmund

Stephan Frei, Technische Universität Dortmund, Dortmund

1 Einführung

Mit wachsender Anzahl elektronischer Komponenten und weiter zunehmender Komplexität der elektronischen Systeme in Kfz, wird die Systemzuverlässigkeit immer wichtiger. In einer Automobilumgebung können sehr hohe elektromagnetische Felder auftreten, was zu einem Versagen von einzelnen integrierten Schaltkreisen (ICs) oder zu einem kompletten Systemausfall führen kann. Um das Verhalten von ICs bei elektromagnetischen Störungen zu charakterisieren, sind mehrere Messmethoden standardisiert worden (z.B. Direct Power Injection „DPI“ [1], Bulk Current Injection „BCI“ [2]). Standardstörfestigkeitstests sehen ein zu testendes Gerät (engl. Device Under Test „DUT“) als Black Box an und das interne Verhalten kann nur indirekt erfasst werden. Für die Testmethoden wurden in der Vergangenheit SPICE Simulationsmodelle entwickelt [3,4]. Zu der simulationsbasierten Analyse von ICs in den typischen Testumgebungen gibt es bisher nur wenige Ansätze.

In dieser Arbeit steht die simulationsbasierte Untersuchung von eingekoppelten Störungen in ICs im Mittelpunkt. Verfahren zur Modellierung von DPI-Testaufbauten mit ICs werden entwickelt und diskutiert. Exemplarisch wird schließlich das Verhalten von Spannungsreglermodulen, die sich in vielen ICs wiederfinden, messtechnisch analysiert. Ein einfaches Simulationsmodell für das Eingangsverhalten des Reglers wurde basierend auf dem gemessenen Verhalten entwickelt. Diese Methodik scheint grundsätzlich für die simulationsbasierte Störfestigkeitsanalyse von ICs geeignet.

2 Modellierung des DPI-Aufbaus

Die Untersuchung von ICs wird häufig nach dem DPI-Standard durchgeführt. Im Vergleich zum BCI-Standard, bei welchem hochfrequente Signale mit großer Leistung in ein Kabel über eine BCI-Zange eingekoppelt werden, ist bei der DPI Methode die Einkopplung des Störsignals direkt in den IC Pin möglich. Zusätzliche Kopplungsverluste werden vermieden und Einflüsse des Messaufbaus werden minimiert. Die Reaktion des DUT kann wegen der definierten Masseverhältnisse auch einfacher gemessen werden.

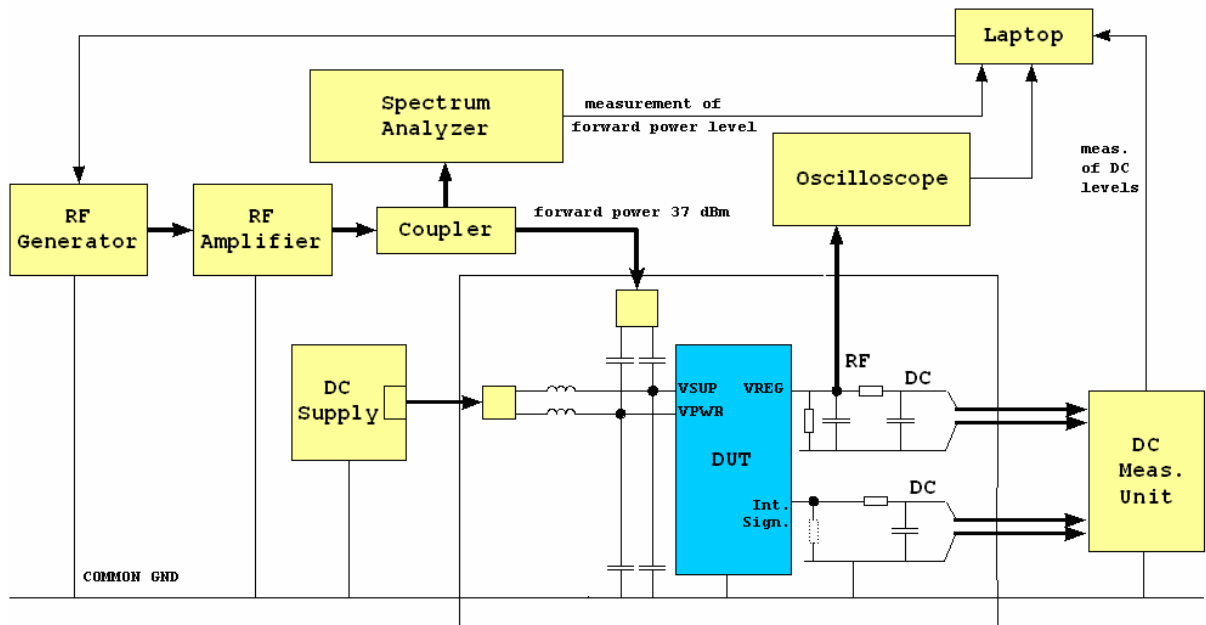


Abbildung 1: Blockschaltbild des DPI-Aufbaus

Abbildung 1 zeigt ein Blockschaltbild des verwendeten Aufbaus, welcher dem DPI-Standard entspricht. Die PCB-Struktur ist hier nur durch R-, L-, und C-Komponenten symbolisch berücksichtigt. Das DUT besitzt zwei Versorgungseingänge, welche über zwei unterschiedliche Pfade auf der Testplatine mit dem Ausgang des Leistungsverstärkers verbunden sind. Ein RC-Filter befindet sich auf der Platine, sodass die Gleichanteile der Ausgangssignale mit einem Multimeter gemessen werden können. Abbildung 2 zeigt die verwendete Platine.

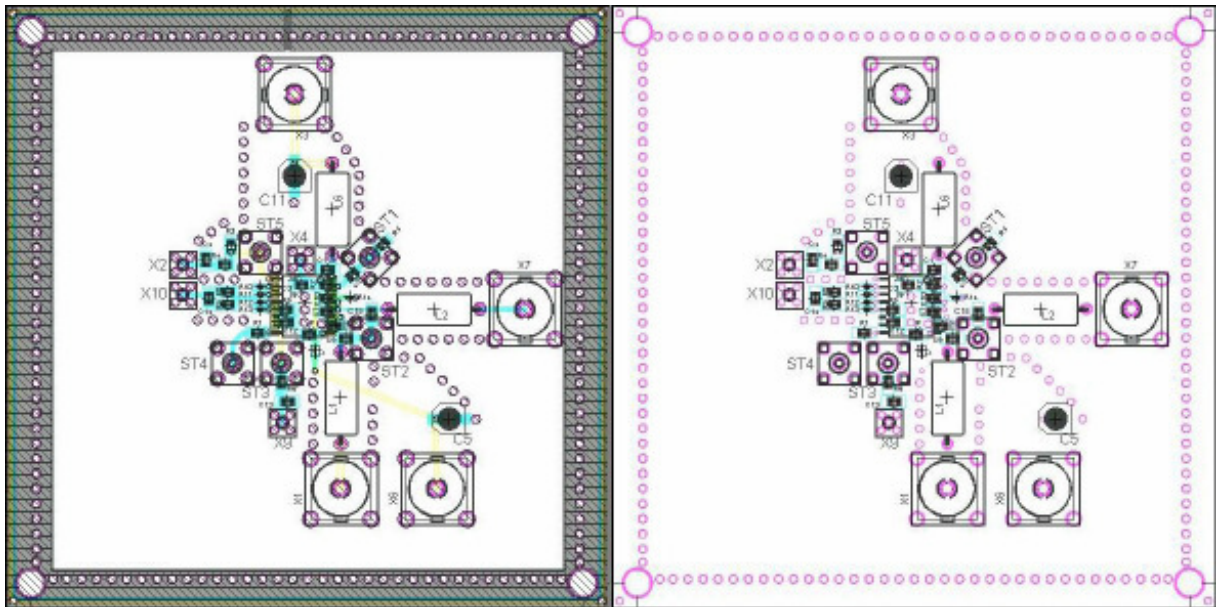


Abbildung 2: Platine für die DPI-Untersuchungen

Sowohl Eingangs- als auch Ausgangssignale werden über einen aktiven Tastkopf mit dem Oszilloskop aufgezeichnet. Der Messaufbau wird von einem Messcomputer aus gesteuert.

Die Leiterstrukturen der Platine werden durch RLC-Glieder in der Simulation nachgebildet. Die Parameter wurde durch eine S-Parameter-Messung bestimmt und an verschiedenen Punkten verifiziert. Für die Verifikationsmessungen an der Platine wurde an Stelle eines ICs Widerstände mit bekannten Parametern gesetzt. Die Spannungsmessungen wurden mit selbstgebauten 10:1 Spannungsteilern durchgeführt. Die zwischen dem DPI-Port und dem Eingang des ICs gemessenen S-Parameter sind in Abbildung 3 der Simulation gegenübergestellt.

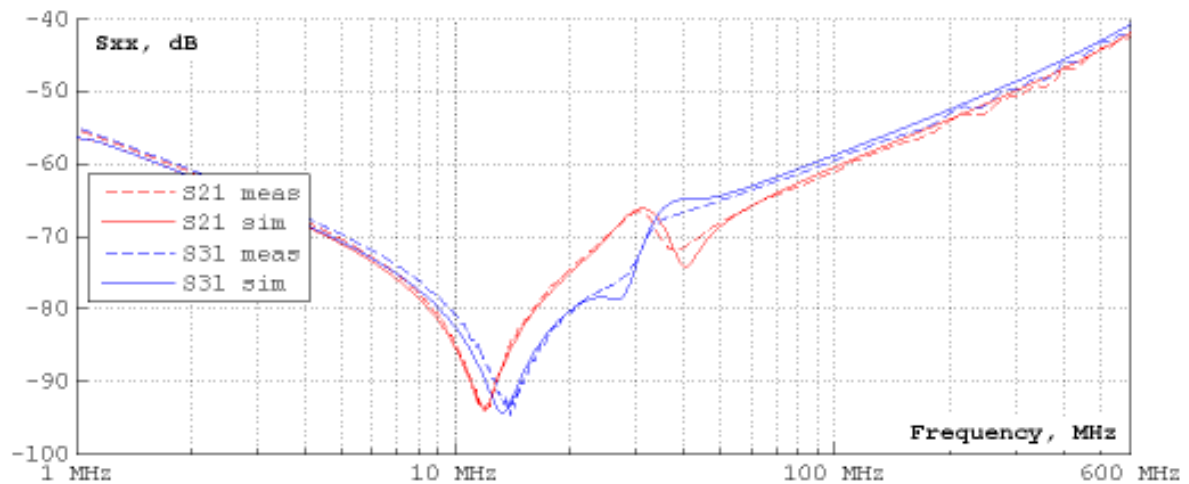


Abbildung 3: Vergleich zwischen gemessenen und simulierten S-Parametern

Die Spannungen an den Anschlüssen der Testplatine können mit den Modellen berechnet werden. Abbildung 4 zeigt dem Vergleich zwischen Messung und Simulation im Frequenzbereich bei einer Eingangsleistung von 30 dBm. Die Ergebnisse der Simulation stimmen bis etwa 500 MHz gut mit der Messung überein.

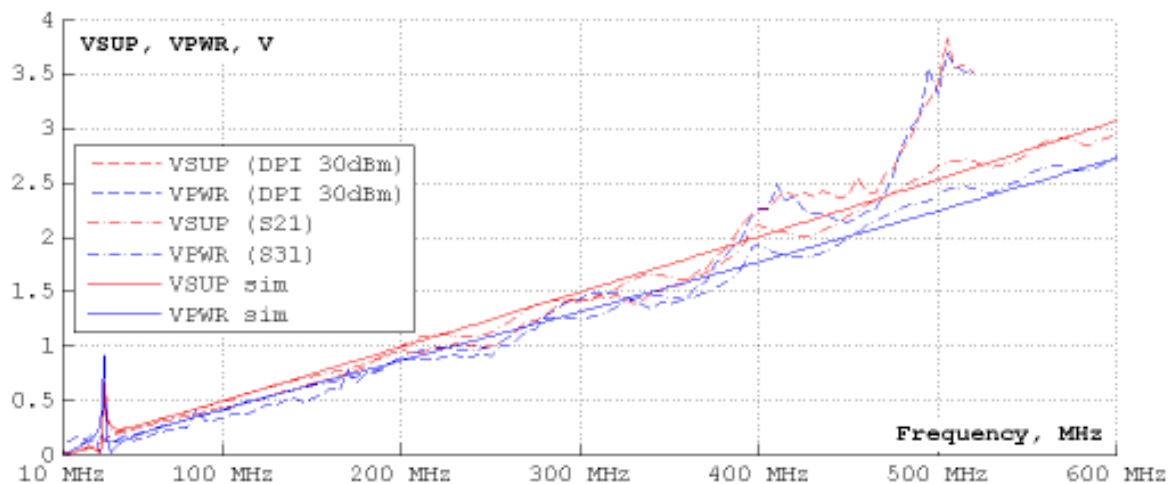


Abbildung 4: Vergleich zwischen Messung und Simulation bei 30 dBm Eingangsleistung

3 Test-IC für die Methodenverifikation

Der Spannungsregler ist in vielen ICs eine besonders kritische Komponente. Dieser hat die Aufgabe, eine stabile Versorgungsspannung (3,3 V) aus einer externen Versorgung (in der Regel die 12 V Batterie im Kfz) zur Verfügung zu stellen. Die meisten integrierten Schaltkreise weisen einen ähnlichen Aufbau auf. Über die Spannungsversorgung können hochfrequente Störanteile einkoppeln und die Ausgangsspannung verändern. Somit beeinflusst die elektromagnetische Störfestigkeit des Spannungsregler-Moduls die elektromagnetische Festigkeit des kompletten Systems. Folglich ist es sinnvoll dieses Modul ausführlich zu analysieren und für die Methodenverifikation zu verwenden. Ein spezieller, für EMV-Untersuchungen optimierter Testchip, wurde entworfen und angefertigt.

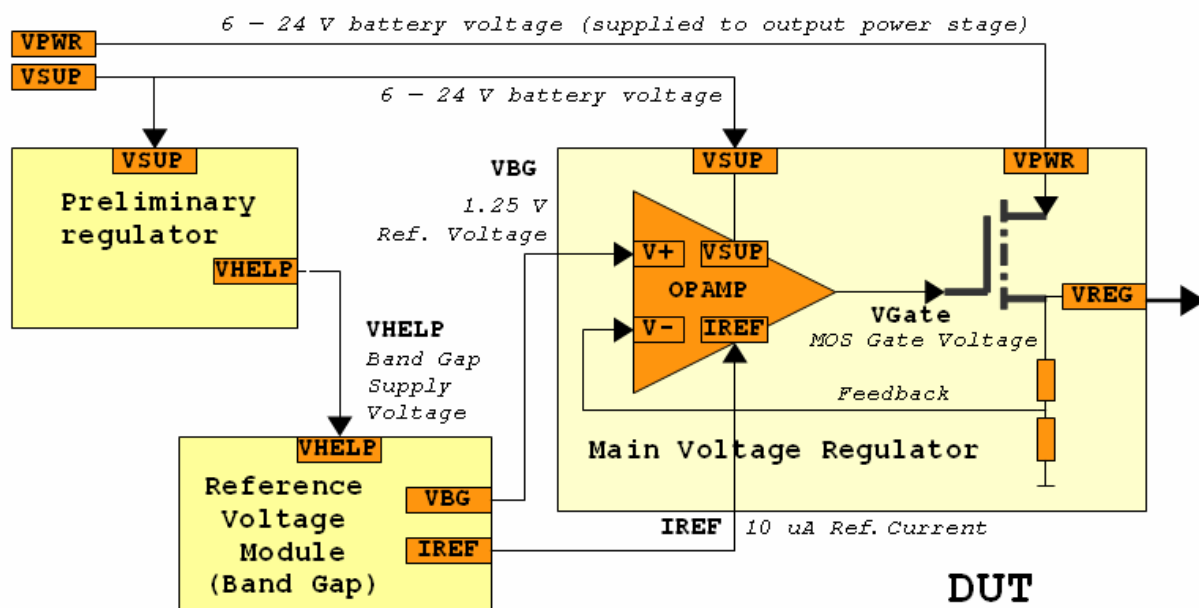


Abbildung 5: Vereinfachtes Blockdiagramm des untersuchten Spannungsreglers

Abbildung 5 zeigt die Struktur eines typischen Spannungsreglers. Der Eingangsvorregler (Preliminary regulator) generiert die Zwischenversorgungsspannung (VHELP) für das Referenzspannungsmodul (Band Gap). Das Referenzspannungsmodul stellt am Ausgang eine stabile Referenzspannung (VBG) sowie einen stabilen Referenzstrom (IREF) für den Operationsverstärker zur Verfügung. Die Aufgabe des Operationsverstärkers ist es, die Gatespannung des Ausgangstreibers (MOSFET) zu steuern. Weitere Funktionen eines realen Spannungsreglers wie zum Beispiel Kurzschlussschutz sind in dem gezeigten vereinfachten Blockdiagramm nicht aufgeführt.

Der hier für die Messungen verwendete Testchip enthält neben dem Standardeingang und -ausgang des Spannungsreglers, auch mehrere Testpins, die notwendig sind, um das Störpotential an besonders kritischen internen Knoten zu messen. Hierzu zählt zum Beispiel die interne Versorgungsspannung (VHELP) der Band-Gap oder die stabilisierte Referenzspannung (VBG) für den Operationsverstärker.

Um den Einfluss der Störfestigkeit verschiedener Module einzeln zu untersuchen, wurde die Versorgungsspannungsleitung aufgeteilt. Ein Teil speist die empfindlichen Module (Operationsverstärker, Referenzspannungsmodul) (VSUP). Der andere Teil stellt die Versorgungsspannung des Ausgangstreibers zur Verfügung (VPWR). Beide Eingänge wurden während den Messungen mit derselben Gleichspannung aber zum Teil mit unterschiedlichen Störsignalen betrieben.

In der Regel werden die Masseverbindung und das Substrat der ICs bei Simulationen als ideal leitend angenommen. Aufgrund der Größe des Ausgangstreibers ist jedoch damit zu rechnen, dass Störungen im Substrat einen merklichen Einfluss auf die Störfestigkeit des gesamten Spannungsreglers haben. Zur Untersuchung wird ein Substratkontakt in dem Testschaltkreis direkt am Ausgangstreiber integriert. Über diesen Testpin kann das Substrat-Störpotential gemessen werden. Ein weiterer Testpin wurde integriert, um den Störpegel der internen Masseverbindung zu untersuchen.

In diesem Beitrag wird nur das Verhalten der Pins VSUP, VHLP und VREG näher betrachtet.

4 Messtechnische Untersuchungen an dem DPI-Prüfaufbau

Die Messungen mit dem IC wurden soweit wie möglich nach dem DPI-Standard durchgeführt. Die Reaktion des Testchips wurde für eine konstante Eingangsleistung von 37 dBm gemessen. Da das DUT eine geteilte Spannungsversorgungsleitung hat, müssen die drei möglichen Testfälle der Einkopplung, in beide Versorgungspins und in jeden einzeln, berücksichtigt werden. Die Gleichspannungsanteile der geregelten Ausgangsspannung und der internen Knoten werden dabei überwacht.

Die dabei untersuchte Abweichung der IC-Ausgangsspannung ist nicht von der Eingangsleistung, sondern dem frequenzabhängigen Wert der Spannungsamplitude an den Eingangspins des ICs abhängig. Diese steigt aufgrund der parasitären Induktivität des Abblockkondensators am Eingang mit der Frequenz an und sorgt schließlich für den Ausfall des ICs. Die Spannung für eine Vorwärtsleistung von 30 dBm ist in Abhängigkeit von der Frequenz in Abbildung 4 zu sehen.

Um den Einfluss der Testplatine sicher auszuschließen, wurde eine zweite Messung durchgeführt. Die Spannungsamplitude am DUT wurde mit einem aktiven Tastkopf überwacht und die Eingangsleistung wurde über die Frequenz so variiert, dass die Spannung stabil blieb. Unter diesen Voraussetzungen wurde das Ausgangsverhalten noch einmal gemessen.

5 Ergebnisse und Diskussion

Die Ergebnisse der Störfestigkeitsuntersuchung zeigen bei Frequenzen bis 500 MHz nur kleine Abweichungen der geregelten Ausgangsspannung VREG vom Normalwert. In Abbildung 5 sind einige Messergebnisse der DC-Spannung unter dem Einfluss hochfrequenter Störeinkopplung in verschiedenen Arbeitspunkten des DUT zu sehen.

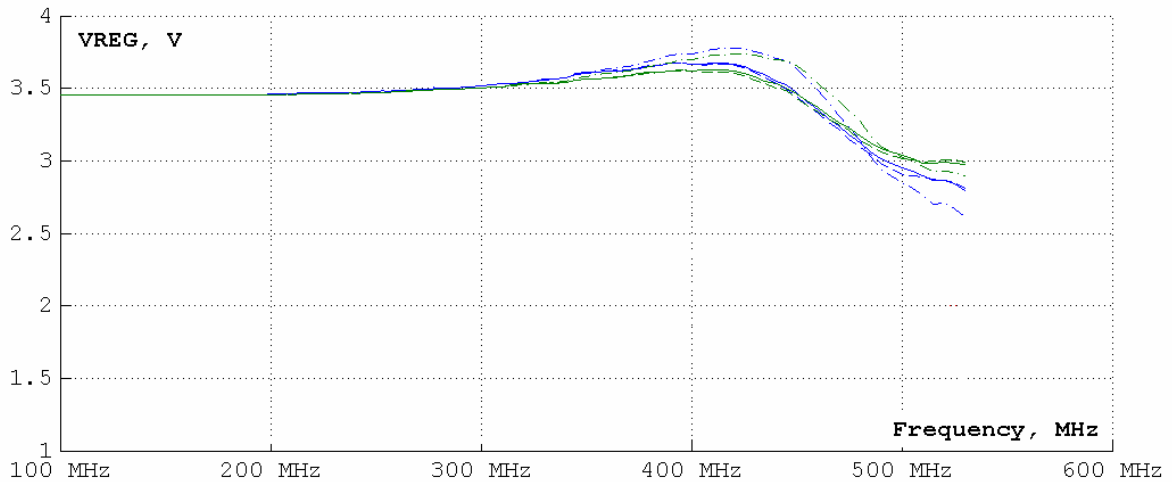


Abbildung 6: Gleichspannung am geregelten Spannungsausgang VREG

Wie beschrieben wurde das Verhalten des DUT auch durch Messungen an internen Knoten untersucht. Es zeigten sich Störungen, die am geregelten Spannungsausgang nicht zu erfassen waren, aber den Betrieb des Reglers unter verschiedenen Arbeitsbedingungen beeinträchtigen könnten.

In Abbildung 9 ist der DC-Pegel der internen Zwischenspannung VHLP des Eingangsvorreglers dargestellt. Es zeigt sich ein Einbruch der Spannung bei etwa 450 MHz. Dieser lag innerhalb des Toleranzbereichs und führte nicht zum Ausfall der darauffolgenden Schaltkreise. Unter anderen Bedingungen (z. B. höhere Eingangsleistung oder größere Serieninduktivität der Blockkondensatoren) kann der Spannungseinbruch jedoch größer sein und zum Ausfall des Prüflings führen.

Die Standard-Halbleiter-Modelle sind normalerweise nicht geeignet, um das Hochfrequenzverhalten zu beschreiben. Die Komplexität ist sehr hoch, so dass grundlegende Zusammenhänge nur schwer zu verstehen sind. Zudem benötigen Berechnungen sehr viel Zeit. Um das Verhalten zu analysieren, wurden einfache Modelle des Prüflings und der internen Schaltkreise entwickelt. Abbildung 7 zeigt das einfache Ersatzschaltbild der Anschlusspins des Spannungsreglers mit den Bonding-Pads inklusive einem einfachen ESD-Schutz und dem internen Eingangsvorregler.

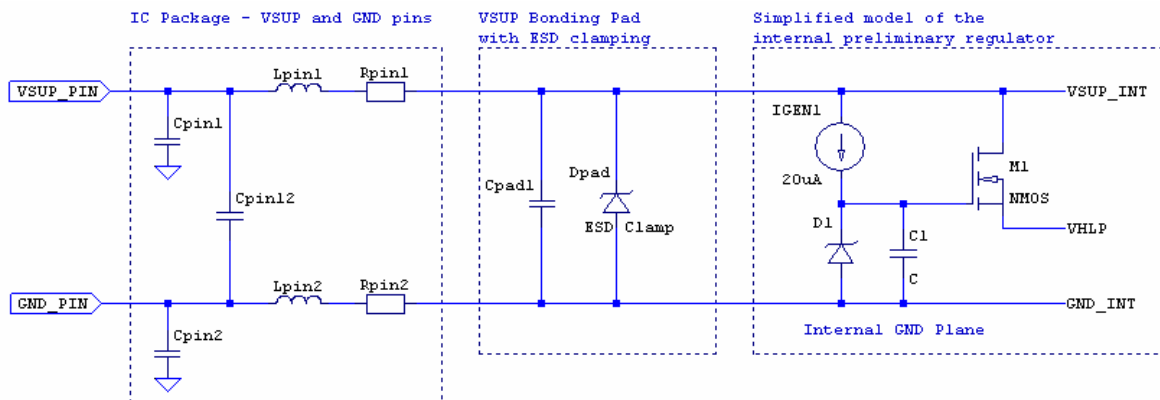


Abbildung 7: Einfache Ersatzschaltbild des Eingangs von dem DUT

Der Einbruch der VHLP-DC-Spannung kann auf eine Resonanz der IC-Anschlusspins mit der Bonding-Pad-Kapazität zurückgeführt werden. Da die VHLP-Spannung nur intern zur Verfügung steht, betrifft die Resonanz nur diesen Knoten. Bei dem verwendeten Testchip war der Knoten mit einem Bonding-Pad verbunden, um Messungen durchzuführen (Abbildung 8). Dieses war ebenfalls mit Standard-Schutzelementen beschaltet. Im Fall der Überschreitung der Klemmspannung des Schutzelements wird das Signal begrenzt und die mittlere Spannung sinkt.

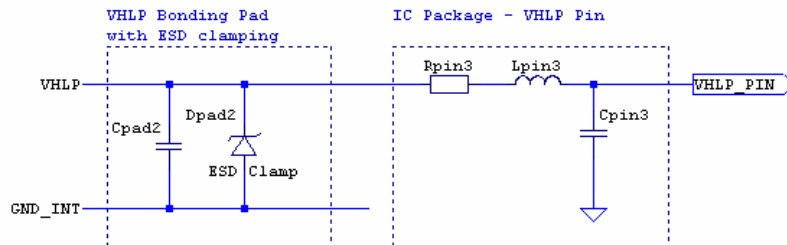


Abbildung 8: Einfaches Ersatzschaltbild des Messpfads der VHLP Spannung

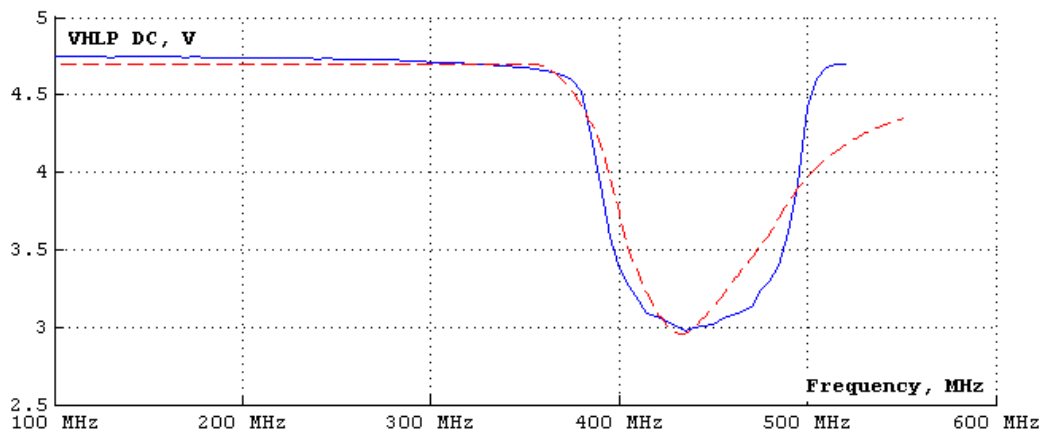


Abbildung 9: VHLP mittlere DC-Level: vergleich zwischen Messung und Simulation

Die Simulationsergebnisse sind in Abbildung 9 zu sehen. Der mittlere Spannungspegel wurde durch eine Transienten-Simulation bei verschiedenen Frequenzen gewonnen. Die Simulationsergebnisse zeigen eine gute Übereinstimmung mit dem Messergebnissen.

6 Zusammenfassung und Ausblick

Die Untersuchung des Störfestigkeitsverhaltens von ICs war das Ziel in dieser Arbeit. Dazu wurde ein DPI-Aufbau erstellt und mit Hilfe von S-Parametern charakterisiert. Ausgehend von den Messergebnissen wurde ein Simulationsmodell des Aufbaus erstellt.

Ein spezieller Testschaltkreis, in dem auf wichtige interne Knoten zugegriffen werden kann, wurde entwickelt. Das interne Verhalten des ICs unter dem Einfluss hochfrequenter Störungen wurde anhand von Messungen untersucht. Es konnten aufgrund der Zugänglichkeit interner Messpunkte Effekte analysiert werden, welche mit Standardstörfestigkeitstests nicht bestimmt werden konnten.

Ein Simulationsmodell eines Teilmoduls des ICs wurde gebildet und das Verhalten mit Messungen verglichen. Eine gute Übereinstimmung zwischen Simulation und Messung konnte erzielt werden.

Die entwickelte Methode scheint geeignet, um auch komplexe ICs durch Simulationen zu analysieren und optimieren.

Danksagung

Die Autoren danken der Firma ELMOS AG, Dortmund, für die Unterstützung bei der Durchführung dieser Untersuchungen.

Literatur

- [1] IEC 62132-3 standard: Integrated circuits – Measurement of electromagnetic immunity, part 4: Direct RF power injection method.
- [2] IEC 62132-3: Integrated circuits – Measurement of electromagnetic immunity, part 3: Bulk Current Injection (BCI) method.
- [3] A. Boyer, S. Bendhia, E. Sicard, "Modeling of a Direct Power Aggression on a 16bit Microcontroller Input Buffer", EMC Compo 2007, Turin, Italie (Nov. 2007)
- [4] R. Pedriau et al., "A Direct Power Injection Model for Immunity Prediction in Integrated Circuits", IEEE Tran. on EMC, vol. 50, no. 1, Feb. 2008