

Modellierung und Simulation von ESD-Schutzelementen mit VHDL-AMS

Bastian Arndt, Continental Automotive GmbH, Regensburg, Germany
Friedrich zur Nieden, Frank Kremer, TU Dortmund, Dortmund, Germany
Yiqun Cao, Infineon Technologies, Neubiberg, Germany
Johannes Edenhofer, Continental Automotive, Regensburg, Germany
Stephan Frei, TU Dortmund, Dortmund, Germany

1 Kurzfassung

Viele Integrierte Schaltungen weisen nur eine geringe Festigkeit gegen ESD-Pulse auf. Anforderung von Anwendern und Gesetzgeber können daher meist nur durch den Einsatz zusätzlicher diskreter Schutzelemente auf den Platinen erfüllt werden. Das Verhalten von diskreten ESD-Schutzelementen hängt hierbei von vielen Faktoren ab und die Wirksamkeit kann zurzeit meist nur durch aufwendige Versuchsreihen nachgewiesen werden. Ein tieferer messtechnischer Einblick gestaltet sich oft schwierig, da transiente Spannungen und Ströme der ESD im praktischen Anwendungsfall nur schwer messtechnisch zu erfassen sind und eine komplexe Messtechnik benötigen. Zu den Einflussfaktoren auf die Wirksamkeit gehören unter anderem die Impedanzverhältnisse des zu schützenden ICs, die Platinenstrukturen, weitere Bauelemente im ESD-Strompfad oder die Masseverhältnisse. Eine Simulation der zu erwartenden Bedingungen bietet daher eine schnelle und kostengünstige Vorhersagbarkeit der zu erwartenden ESD-Festigkeit und erlaubt es, zudem die notwendigen Schutzstrukturen auf den jeweiligen Anwendungsfall Maß zu schneiden.

2 Motivation

Häufig werden ESD-Schutzelemente mittels Kombinationen aus diskreten Standardbauteilen modelliert. Diese Ersatzschaltbilder können Effekte, die für eine genaue Simulation von ESD-Ereignissen notwendig sind, oft nicht genau wiedergeben. Ein erweiterter Ansatz für die Modellierung nichtlinearer Elemente in SPICE wurde in [1] vorgestellt. Hier wird ein VHDL-AMS-basiertes Konzept vorgestellt, mit dem ESD Schutzelemente flexibel und ohne Einschränkungen modelliert werden können.

3 Beschreibung des Modellierverfahrens

Um Schutzelemente modellieren zu können, sind Messungen an den Bauteilen notwendig. Die spannungsabhängigen, nichtlinearen Eigenschaften der Bauteile werden mittels I-V Kennlinien charakterisiert. Da eine statische Messung dieser I-V Kennlinien die Bauteile bei hohen Strömen thermisch zerstören würde, werden die Kennlinien für hohe Ströme mittels TLP-Entladungen (Transmission Line Pulse) [2] ermittelt. Um das für die Modellbildung notwendige Kleinsignal- und Leckstromverhalten zu erhalten, werden Messungen mit einem Kennlinienschreiber durchgeführt. Die hauptsächlich geometrisch bedingten Parameter L und C können mittels Messungen im Frequenzbereich mithilfe eines Network-Analyzers ermittelt werden. Abbildung 1 zeigt den verwendeten Modellierungsablauf für diskrete Schutzelemente. Hierbei werden die mit den verschiedenen Methoden gemessenen I-V Kennlinien zusam-

mengefasst. Der Simulationsbereich kann erweitert werden, indem die I-V Kennlinie an den Messgrenzen weiter extrapoliert wird. Die so gewonnenen Daten werden in einer I-V Tabelle zusammengefasst. Im Simulationsmodell wird diese tabellarische Beschreibung als „lookup-table“ hinterlegt. Aus den im Frequenzbereich gewonnenen Messdaten werden die parasitäre Induktivität und Kapazität ermittelt. Diese parasitären Elemente werden nun mit der zuvor gewonnenen I-V Tabelle kombiniert. Dieses Verfahren führt zu einem Ersatzmodell des Schutzbauteils, welches in einem weiten Strom- und Frequenzbereich gültig ist. Es lassen sich gültige Modelle für einen Strombereich über 10 Dekaden realisieren. Dies bedeutet, dass sowohl das nicht leitende Verhalten der Schutzelemente mit Leckströmen kleiner $1 \mu\text{A}$, als auch das aktive Verhalten der Schutzelemente während der ESD Entladung bis zu einigen hundert Ampere korrekt abgebildet wird. Mithilfe dieser Modelle kann sowohl im Frequenz- als auch im Zeitbereich schnell und zuverlässig simuliert werden.

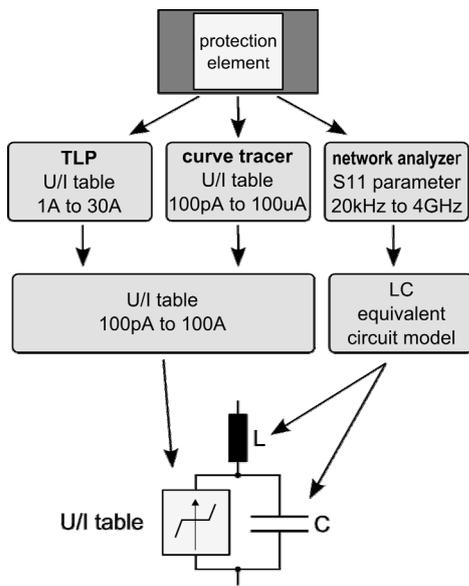


Abbildung 1: Ablauf der Modellerstellung für ein ESD-Schutzelement

4 Beschreibung des Modellierungsverfahrens anhand eines Beispiels

Um die notwendigen Daten zu ermitteln, wurden die drei in Abbildung 1 gezeigten Messverfahren verwendet. Anhand eines im Automotive Bereich verbreiteten Varistors (CT0603K14G) als Schutzelement soll der verwendete Charakterisierungsansatz beispielhaft erläutert werden.

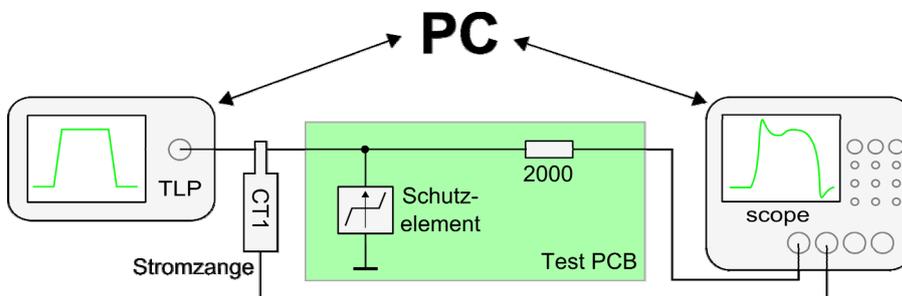


Abbildung 2: Testaufbau für eine gepulste I-V Kennlinienmessung

4.1 Gepulste I-V Kennlinienmessung mithilfe eines TLP

Wie zuvor bereits erwähnt würde eine statische Messung von I-V Kennlinien mit Leistungen jenseits der Belastbarkeitsgrenze eines Bauteils dieses thermisch zerstören. Für den zur Messung verwendeten Varistor bedeutet dies, dass Spannungen oberhalb der Durchlassspannung von 14 V vermieden werden müssen. Daher wurden mithilfe eines TLP kurze rechteckige Spannungspulse eingespeist, die das Bauteil thermisch nicht belasten. Die Strom- und Spannungswerte für die I-V Kennlinie werden erst einige Zeit nach dem Pulsbeginn ausgewertet, um die Messung nicht durch parasitäre Effekte zu verfälschen.

Abbildung 2 zeigt einen Testaufbau für die gepulste I-V Kennlinienmessung. Hier wurde ein TLP Generator von Infineon (vf-TLP B R2) [3] verwendet, um die benötigten Messpulse zu erzeugen. Dieser deckt einen Strombereich von ± 30 A bzw. einen Spannungsbereich bei unbelastetem Generatorausgang von ± 1500 V ab. Die Strompulse am Varistor werden mit einer Stromzange von Tektronix (CT1) gemessen. Die am Bauteil anliegende Spannung wird, ebenso wie der Strom, mit einem Oszilloskop von LeCroy (SMA6000; 6GHz) aufgezeichnet. Die Ansteuerung und Messauswertung der Geräte erfolgt mittels eines Rechners. Abbildung 3 zeigt die aus den gepulsten Messungen gewonnene I-V Kennlinie des Varistors im Durchlassbereich.

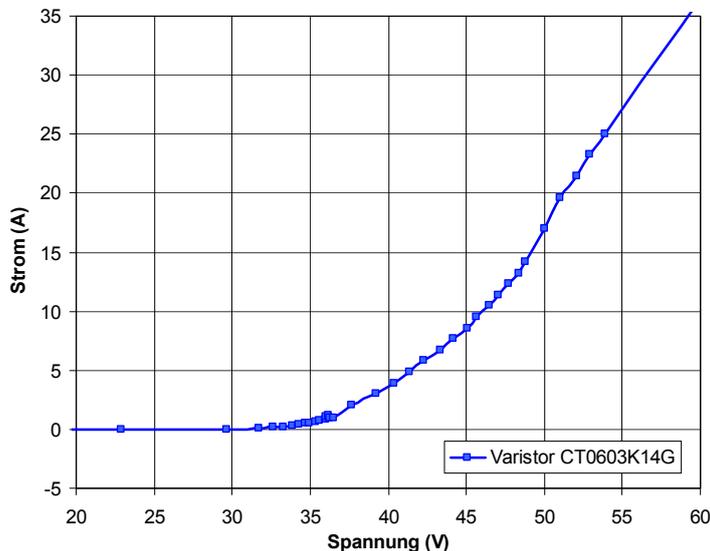


Abbildung 3: I-V Durchlassstrom Kennlinie eines Varistors (CT0603K14G)

4.2 Statische I-V Kennlinien Messungen

Für Spannungs- bzw. Leistungsbereiche unterhalb der Belastbarkeitsgrenze des zu vermessenden Schutzbauteiles sollte auf die genauere statische Messung mit einem Kennlinienschreiber zurückgegriffen werden. Bei dem hier verwendeten Varistor wurde für Spannungen unterhalb von 14 V ein konventioneller Kennlinienschreiber benutzt.

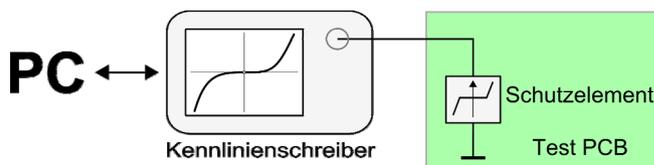


Abbildung 4: Möglicher Testaufbau für eine statische I-V Kennlinienmessung

Abbildung 4 zeigt den verwendeten Messaufbau. Hierbei wurde ein Kennlinienschreiber von Keithley (2430C) verwendet und direkt mit dem Schutzbauteil verbunden. Die Ansteuerung und Auswertung erfolgt Rechnerunterstützt. Der eingeprägte

Strom wurde auf ± 10 mA begrenzt, um das zu vermessende Bauteil nicht thermisch zu beeinträchtigen. Abbildung 5 zeigt die aus der Messung gewonnene I-V Kennlinie im Sperrbereich des Varistors. Die spezifizierte Durchlassspannung von etwa 14 V ist gut zu erkennen.

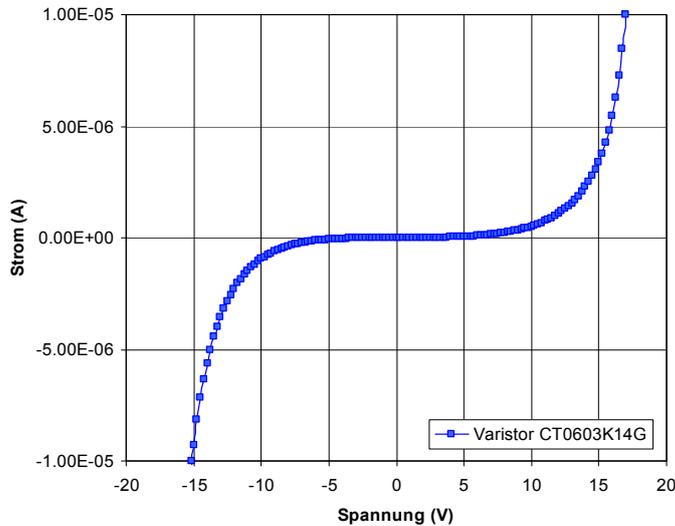


Abbildung 5: I-V Leckstromkennlinie eines Varistors (CT0603K14G)

4.3 Messungen im Frequenzbereich

Die kapazitiven und induktiven Eigenschaften von diskreten Bauteilen lassen sich im Frequenzbereich mithilfe von S11-Messungen gut ermitteln. Hierfür wird an einem Netzwerkanalysator mithilfe einer geeigneten Adaptivvorrichtung das zu vermessende Bauteil angeschlossen. Um fehlerhafte Messungen aufgrund des Frequenz- und Phasenganges des Adapters und der Zuleitung zu kompensieren wird eine Systemfehlerkorrektur mit dem Messaufbau durchgeführt [5]. Abbildung 6 zeigt den Messaufbau für S11 Messungen. Hierbei wird ein Messadapter an einem Netzwerkanalysator von Rohde & Schwarz (ZVCE; 20 kHz bis 8 GHz) angeschlossen.

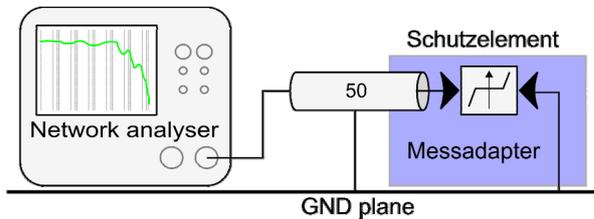


Abbildung 6: Aufbau für eine Messung der Reflexionseigenschaften mit einem Netzwerkanalysator

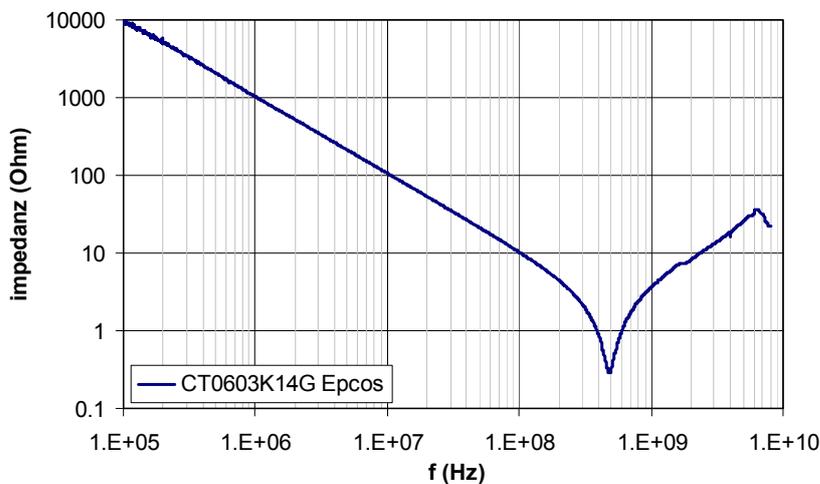


Abbildung 7: S11 Kennlinie eines Varistors (CT0603K14G)

Der zu vermessende Varistor wird mittels des Messadapters an den Netzwerkanalysator angebunden. Abbildung 7 zeigt den aus S11 Messungen gewonnenen Impedanzverlauf des Varistors. Die hauptsächlich geometrisch bedingte Induktivität und Kapazität des Bauteiles kann aus der Messkurve mit $L=1,2\text{ nH}$ und $C=150\text{ pF}$ ermittelt werden.

4.4 Modellerstellung

Mit den zuvor gemessenen Varistorparametern kann das Modell erstellt werden.

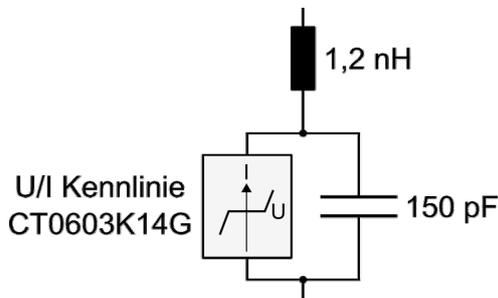


Abbildung 8: Modell des Varistors K14G

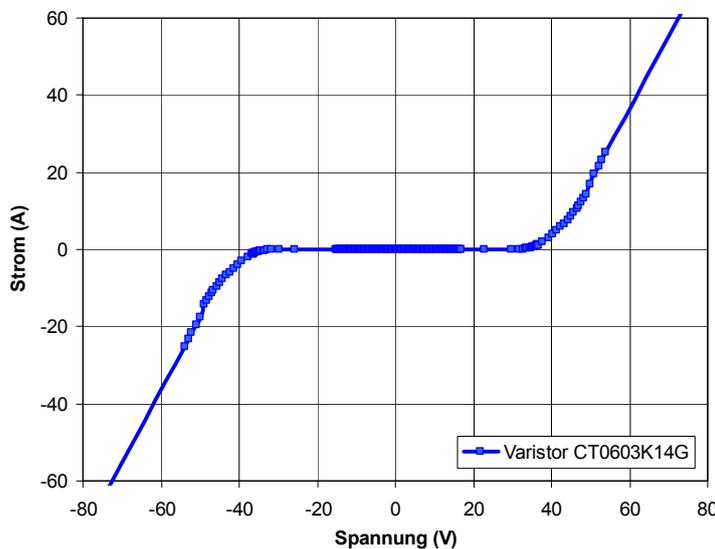


Abbildung 9: Extrapolierte und zusammengesetzte I-V Kennlinie eines Varistors (CT0603K14G)

Um den Simulationsbereich zu erweitern, wird die I-V Kennlinie an den Messgrenzen linear extrapoliert. Abbildung 9 zeigt die zusammengefasste, extrapolierte I-V Kennlinie des Varistors. Die aus den im Frequenzbereich gewonnenen Induktivitäts- und Kapazitätswerte des Bauteiles werden zusammen mit der I-V Tabelle gemäß des in Abbildung 1 beschriebenen Verfahrens in das Simulationsmodell eingefügt. Abbildung 8 zeigt das Modell des hier untersuchten Varistors.

5 Verifikation des Simulationsverfahrens

In diesem Abschnitt soll die Anwendbarkeit und der Gültigkeitsbereich des Modellierungsverfahrens für VHDL-AMS mit Messungen verifiziert werden.

5.1 Messaufbau

Der oben beschriebene TLP Generator wird verwendet, um den Spannungsverlauf an einem vereinfachten Kfz-Steuergerät zu messen. Der Stromverlauf wird am Eingang des Steuergerätesteckers aufgezeichnet. Abbildung 10 zeigt einen schematischen Aufbau des verwendeten Setup.

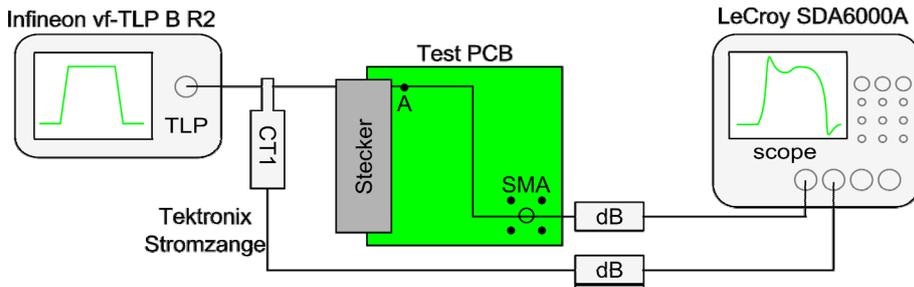


Abbildung 10:
Messaufbau zur
Untersuchung
verschiedener
ESD Schutzele-
mente

Am Eingang des PCB wird die TLP Quelle mit 1000 V Ladespannung und 1 ns Flankenanstiegszeit angeschlossen. Der Verlauf des Eingangstromes wird mittels einer Stromzange von Tektronix (CT1) gemessen und mit einem 6 GHz Oszilloskop (SDA 6000A) von LeCroy aufgezeichnet. Der Spannungsverlauf wird über eine auf die Platine gelötete SMA Buchse direkt über das Oszilloskop aufgenommen. Das Oszilloskop bildet somit einen 50 Ω Abschluss. Am Punkt A (Abbildung 10) werden verschiedene diskrete Schutzbauteile auf das PCB aufgelötet, um die Schutzeigenschaften messen zu können.

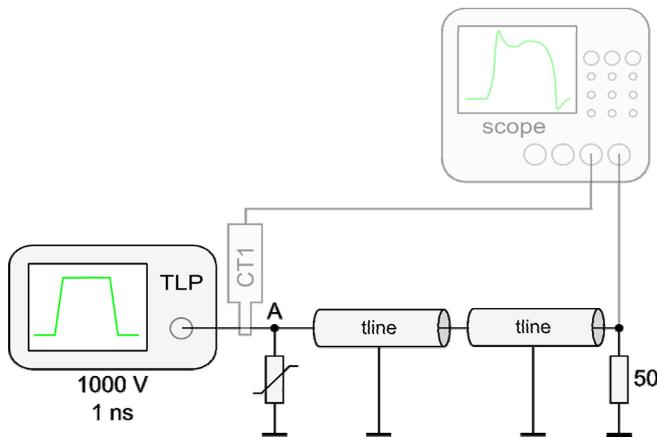


Abbildung 11: Simulationssetup
einer TLP Entladung in ein
Schutzbauteil

5.2 Simulationssetup

Der oben gezeigte Messaufbau wird analog für die Simulation verwendet. Abbildung 11 zeigt schematisch das Simulationsmodell für den oben beschriebenen Messaufbau. Hierbei wird das verwendete PCB mittels Übertragungsleitungsmodellen wie in [4] beschrieben nachgebildet. Am Eingang des PCB wird ein ideales TLP-Quellenmodell mit 1000 V Ladespannung und 1 ns Flankenanstiegszeit angeschlossen. Um die Wirksamkeit verschiedener Schutzbauteile zu ermitteln, werden analog zum Messaufbau am Punkt A unterschiedliche Schutzbauteilemodelle angeschlossen:

Schutzbauteil	V_{DC}	V_{RMS}
Varistor CT0603K14G	22 V	14 V
Varistor CT0603K17LCG	27 V	17 V
Varistor CT0603L25HSG	32 V	25 V
Diode TVS SD12	13,3 V	--

Die Ergebnisse der Simulation wurden mit Messdaten verglichen. Abbildung 12 bis Abbildung 19 stellen den Spannungs- und Stromverlauf von Simulation und Messung gegenüber. Es zeigt sich eine gute Übereinstimmung von Simulations- und Messergebnissen.

Varistor CT0603K14G mit $V_{DC} = 22\text{ V}$, $V_{RMS} = 14\text{ V}$

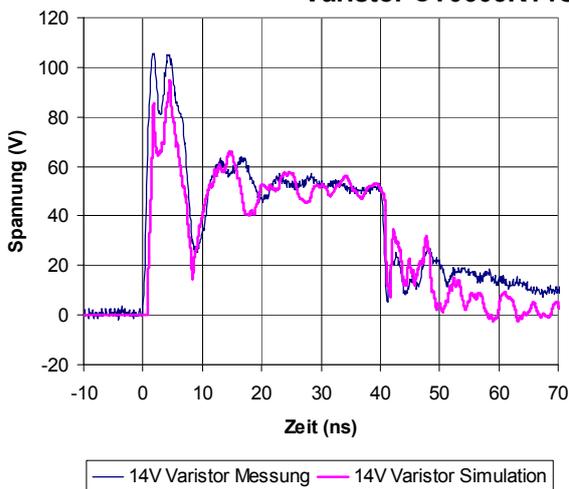


Abbildung 12: Spannung am Varistor, Simulation vs. Messung

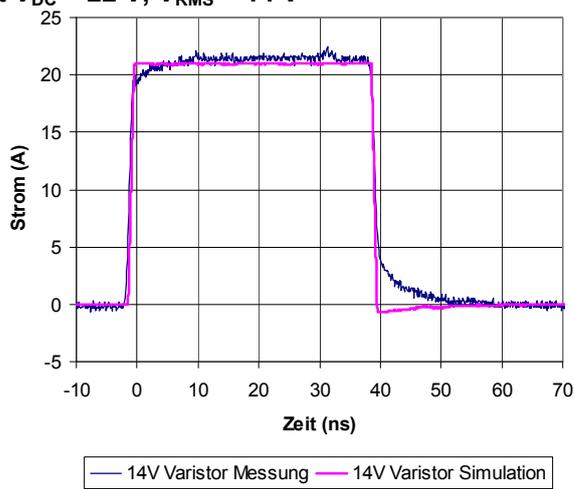


Abbildung 13: Strom am Varistor, Simulation vs. Messung

Varistor CT0603K17LCG mit $V_{DC} = 27\text{ V}$, $V_{RMS} = 17\text{ V}$

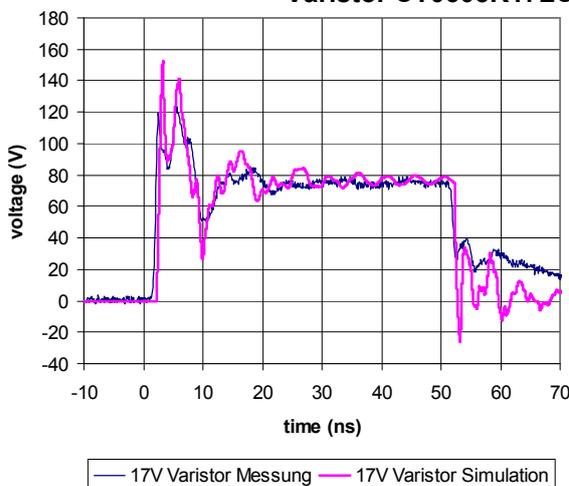


Abbildung 14: Spannung am Varistor, Simulation vs. Messung

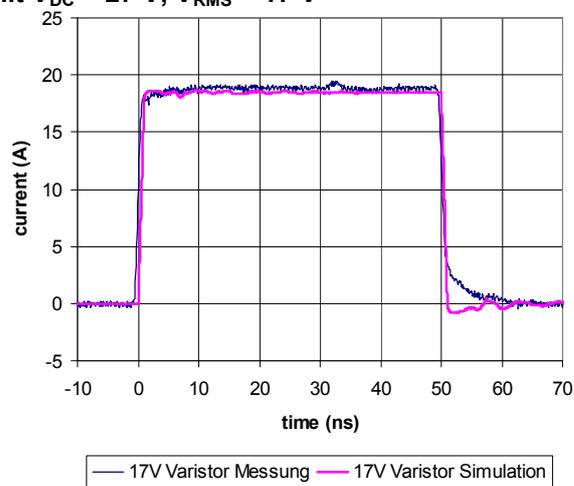


Abbildung 15: Strom am Varistor, Simulation vs. Messung

Varistor CT0603L25HSG mit $V_{DC} = 32\text{ V}$, $V_{RMS} = 25\text{ V}$

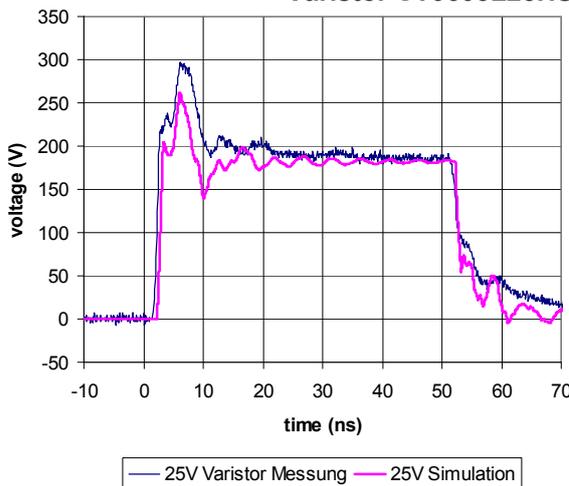


Abbildung 16: Spannung am Varistor, Simulation vs. Messung

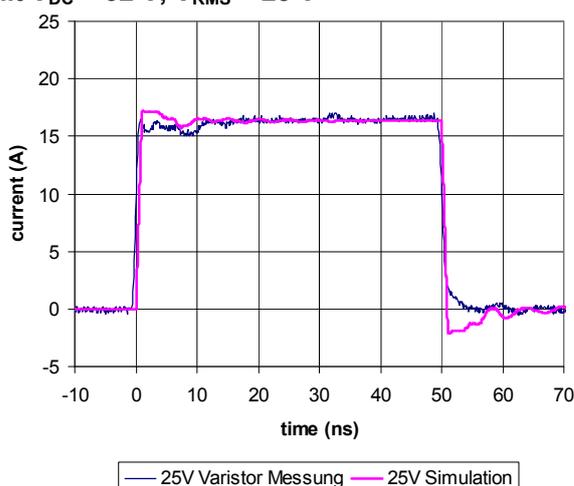


Abbildung 17: Strom am Varistor, Simulation vs. Messung

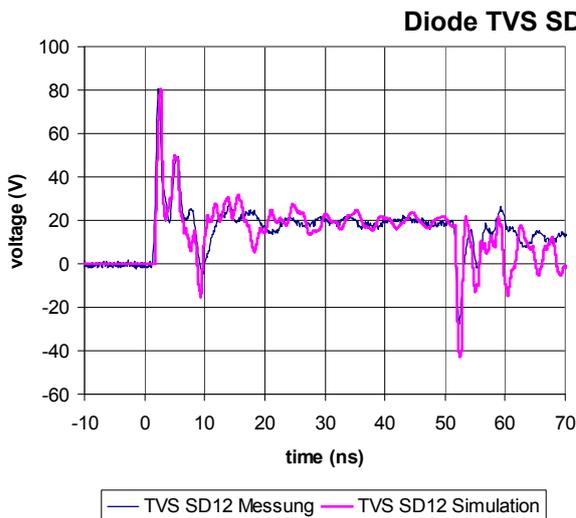


Abbildung 18: Spannung am Varistor, Simulation vs. Messung

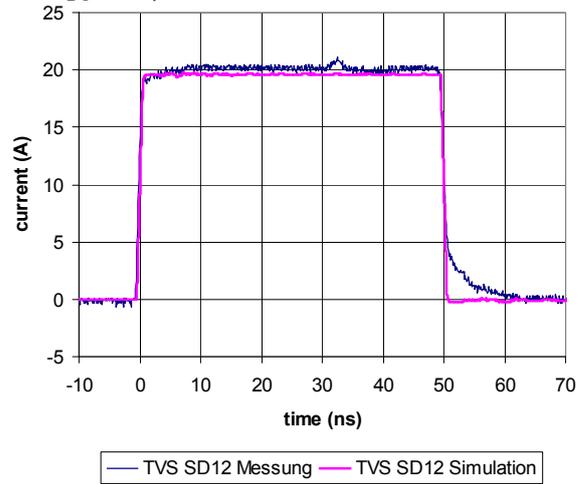


Abbildung 19: Strom am Varistor, Simulation vs. Messung

6 Zusammenfassung

Mittels der hier gezeigten Methodik lassen sich präzise Modelle beliebiger ESD-Schutzelemente erstellen. Diese geben sowohl das Hochstrom-, als auch das Leckstrom-, Kleinsignal- und Hochfrequenzverhalten des Schutzbausteines gut wieder. Durch umfangreiche Vergleiche zwischen Messung und Simulation wurden die Modelle verifiziert.

Mit diesen Modellen kann mittels Simulation die Belastung von ICs durch ESD auf Platineebene gut vorhergesagt werden. Aufgrund der durch die Simulation bestimmten Belastungspegel können notwendige Schutzbausteine bereits im Vorfeld ausgewählt und Iterationsschleifen in der Entwicklung vermieden werden. Die Entwicklung optimierter ESD-Schutzkonzepte ist möglich.

Danksagung

Diese Arbeit wurde durch das Bundesministerium für Bildung und Forschung, SPOT-2, MEDEA+ 2T205 gefördert.

Literatur

- [1] Byong-Su Seol, Jong-Sung Lee, Jae-Deok Lim, Hyungseok Lee, HarkByeong Park, Argha Nandy, David Pommerenke, "Circuit Model for ESD Performance Analysis of Printed Circuit Boards"
- [2] Hugh Hyatt, Jay Harris, Andre Alonzo, and Patrick Bellew, "TLP Measurements for Verification of ESD Protection Device Responser"
- [3] <http://www.hppi.de/products.html>
- [4] Bastian Arndt, Friedrich zur Nieden, Yiqun Cao, Stephan Frei, Felix Mueller, Johannes Edenhofer, "Simulationsbasierte Analyse von ESD-Schutzelementen auf Systemebene"
- [5] Michael Hiebel, *Grundlagen der vektoriiellen Netzwerkanalyse*. Rohde&Schwarz GmbH, München, Erste Auflage 2006